

LCS700-708 HiperLCS™ 产品系列



集成的LLC控制器、高压功率MOSFET及驱动器

产品特点

特性

- 集成了控制器、高压端和低压端栅极驱动以及高压功率MOSFETC半桥功率级
 - 可最多省去30个外围元件
- 最高工作频率为1 MHz
 - 额定稳态工作频率高达500 kHz
 - 大幅降低磁芯尺寸并允许使用SMD陶瓷输出电容
- 精确的占空比对称性可平衡输出整流管电流，从而提升效率
 - 300 kHz下典型值为50% ± 0.3%
- 全面的故障处理及电流限制
 - 可编程的电压缓升/跌落阈值和迟滞
 - 欠压(UV)及过压(OV)保护
 - 可编程的过流保护(OCP)
 - 短路保护(SCP)
 - 过热保护(OTP)
- 可编程的死区时间控制，从而优化设计
- 可编程的脉冲串模式可在空载条件下维持稳压，并提升轻载效率
- 可编程的软启动时间及软启动前延迟
- 精确可编程的最小频率和最大频率限值
- 适合高功率及高频率的单封装设计
 - 降低装配成本并减小PCB布局的环路面积
 - 可通过一个夹片快速安装到散热片
 - 引脚交错排列，可简化PCB的走线路径并满足高压爬电要求
- 与HiperPFS PFC产品配合使用可提供功能完整、高效率、低元件数的电源解决方案

应用

- 高效率电源（80 PLUS银牌、金牌和白金级）
- LCD电视机电源
- LED路灯和室外照明
- 打印机电源
- 音频放大器

说明

HiperLCS是一款集成了多功能控制器、高压端和低压端栅极驱动以及两个功率MOSFET的LLC半桥功率级。图1所示为HiperLCS功率级的电路简图，其中LLC谐振电感集成在变压器中。

变频控制器通过零电压(ZVS)开关功率MOSFET，消除开关损耗，从而达到高效率。

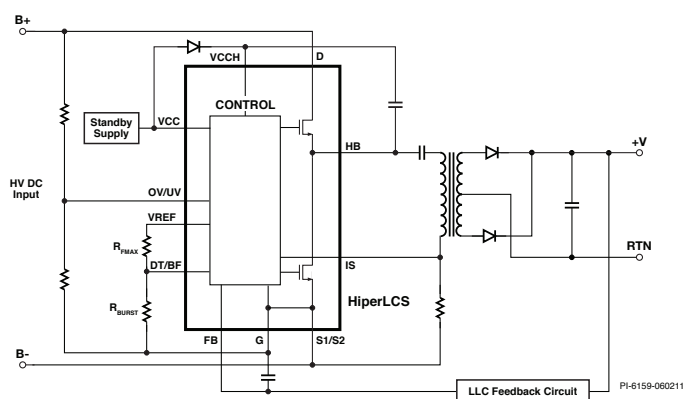


图 1. 典型应用电路 - LCD电视机或PC主电源

输出功率表

产品	最大实际输出功率 ¹
LCS700HG/LG	110 W
LCS701HG/LG	170 W
LCS702HG/LG	220 W
LCS703HG/LG	275 W
LCS705HG	350 W
LCS708HG	440 W

表 1. 输出功率表

注释:

1. 最大实际输出功率是器件在正确安装到散热片时、在90 °C的最大散热片温度下所能提供的功率。

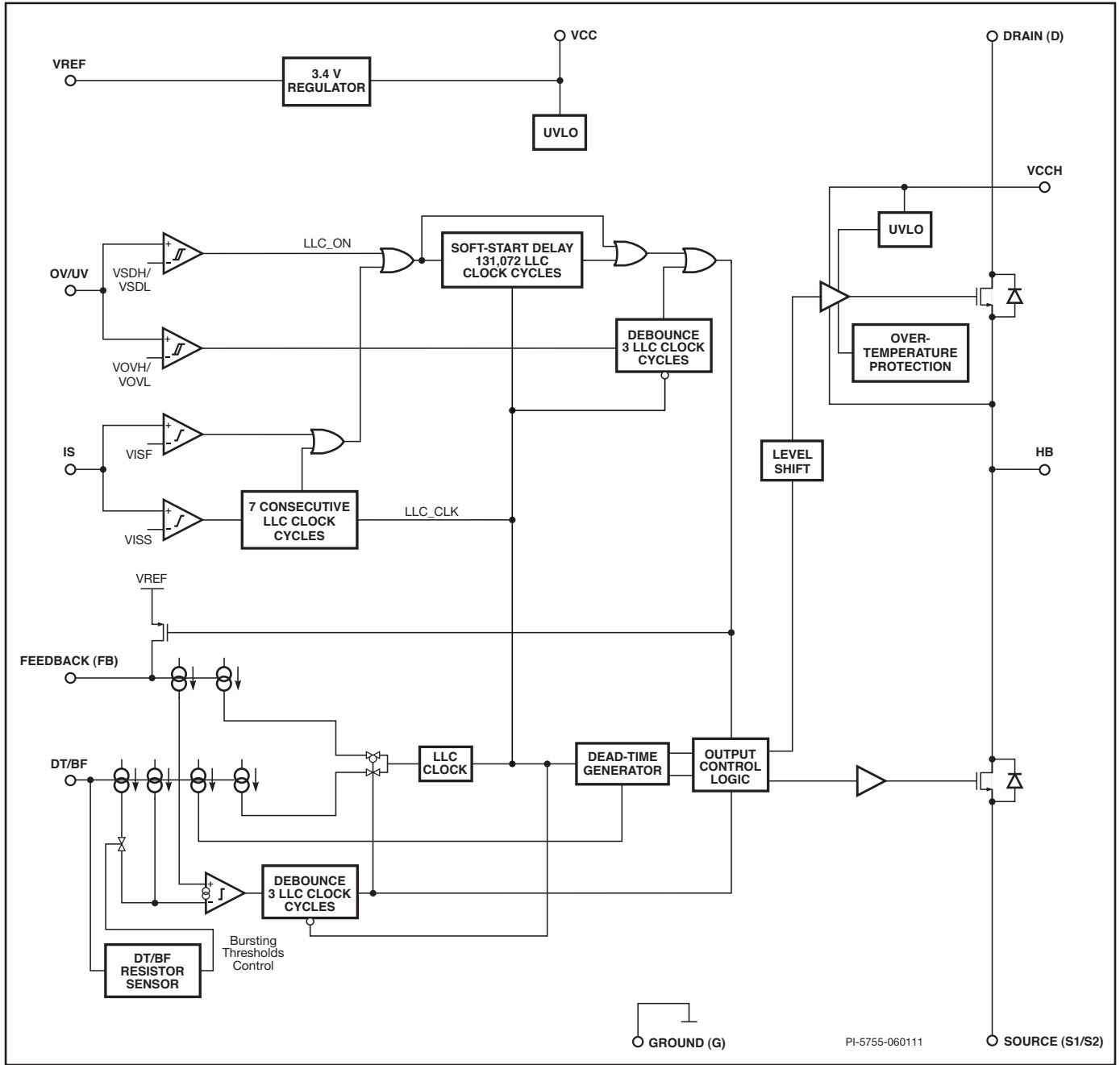


图 2. 结构框图

引脚功能描述

VCC引脚

IC的供电引脚。在典型应用中，VCC通过一个5 Ω电阻连接到系统的12V待机电源输出。该电阻有助于滤波，并可提高噪声抗扰性。

注：系统的待机电出回路的负端应连接到B-总线，而不是接地引脚。

VREF引脚

3.4 VREF引脚。与内部的电压参考网络相连，作为反馈引脚的供电电压源，通过一个连接至DT/BF引脚上拉电阻给DT/BF引脚供电。

接地(G)引脚

G引脚是所有模拟小信号的返回节点。所有小信号引脚使用的旁路电容都必须通过尽量短的走线返回到此引脚，但D-S高压旁路电容和VCCH旁路电容除外。它在内部与源极引脚相连，以提供星形连接。**在PCB布局中，不要将接地引脚连接到源极引脚，也不要连接到B-总线。**

OV/UV引脚

过压/欠压引脚。此引脚与B+之间连接的一个电阻分压器用于对输入电压的检测。OV/UV引脚执行电压缓升、电压跌落以及带迟滞特性的过压锁存功能。将此引脚拉低至地电位将执行远程关断功能。

反馈(FB)引脚

馈入此引脚的电流决定LLC开关频率；电流越高，开关频率就越大。在正常开关期间此引脚的V-I特征类似于一个接地二极管。VREF引脚与反馈引脚之间的RC网络决定最小工作频率、启动频率、软启动时间以及启动前的延迟。

死区时间/脉冲串频率(DT/BF)引脚

连接VREF与接地引脚的电阻分压器可对死区时间、最大启动开关频率以及脉冲串模式阈值频率进行编程。

电流检测(IS)引脚

电流检测引脚用于检测变压器初级电流，检测方法是利用一个电流检测电阻或电容分压器加检测电阻来检测过载和故障情况。它类似于一个接地反向二极管，不需要使用整流管来防止负向脉冲电流达到此引脚，这样可以将反向电流限定在<5 mA。

源极(S1, S2)引脚

内部下管MOSFET的源极引脚。这些引脚应在PCB上连接在一起，并连接至PFC大容量电容或输入高压DC的B-端。

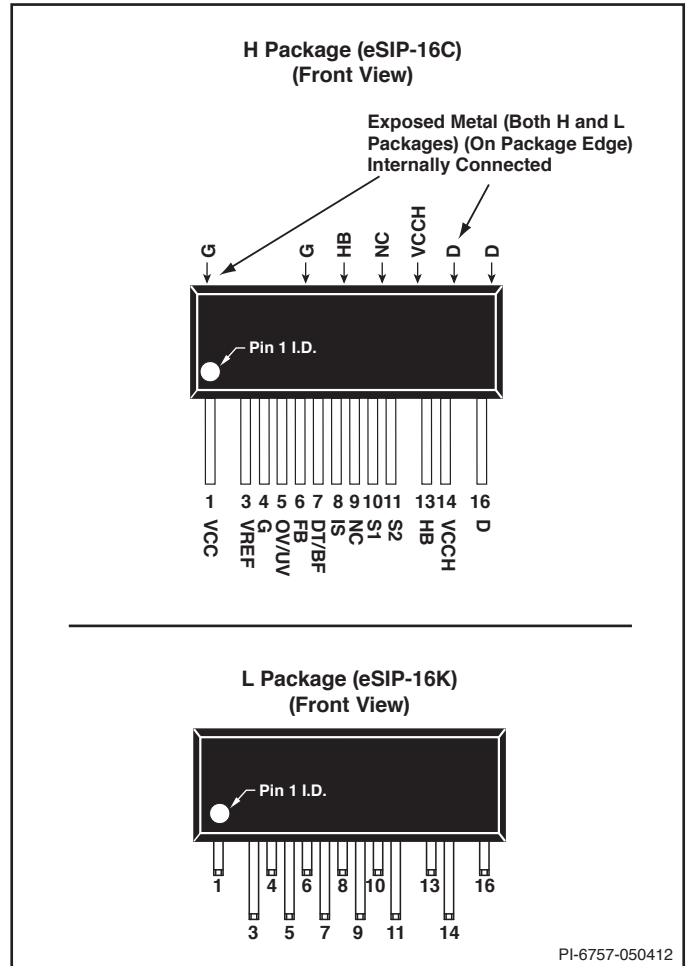


图 3. 引脚编号与名称

HB引脚

此引脚连接于半桥的MOSFET的输出端（上管MOSFET源极、下管MOSFET漏极），同时也连接到LLC功率转换电路（变压器初级和串联谐振电容）。

VCCH引脚

用于LLC上管驱动器的浮动自举供电引脚。此引脚以HB引脚为参考，在内部连接到上管MOSFET的源极引脚。需要在VCCH与HB引脚之间使用一个旁路/存储电容，同时还要使用一个自举二极管，并经过一个电阻连接至待机电源输出。存储电容每次在下管MOSFET导通或其体二极管导通时都会进行充放电。

漏极(D)引脚

内部上管MOSFET的漏极引脚。此引脚连接至PFC大容量电容或输入高压DC总线的B+端。

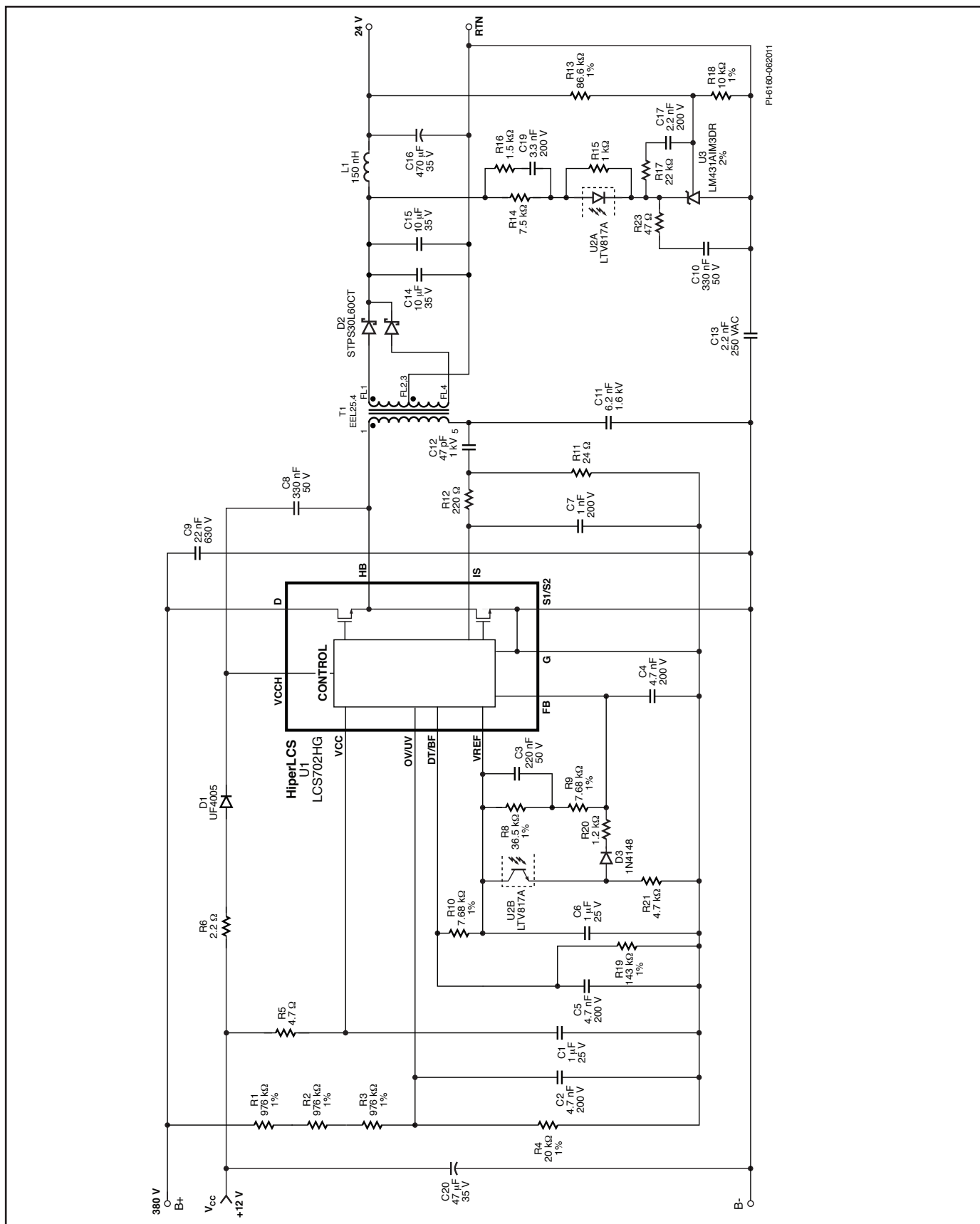


图 4. 150 W激光打印机电源

HiperLCS基本工作原理

HiperLCS设计用于半桥LLC转换器，即高效率谐振变频转换器的设计。HiperLCS是一个内置驱动器和半桥MOSFET的LLC控制芯片。

LLC转换器要求在开关半周期之间具有固定的死区时间。连接于DT/BF引脚、VREF引脚和接地引脚之间的电阻分压器用于设定死区时间、最大启动频率以及脉冲阈值频率。

反馈(FB)引脚是反馈环路的频率控制输入端。频率与反馈引脚电流成正比。反馈引脚V-I特征类似于一个接地二极管。

脉冲串模式

如果经反馈引脚电流控制的频率超过由DT/BF引脚上的电阻分压器设定的脉冲串阈值频率上限(f_{STOP} , I_{STOP})，输出MOSFET将关断，如果反馈引脚电流对应的工作频率低于脉冲串阈值频率下限(f_{START} , I_{START})，MOSFET将恢复开关。大体而言，脉冲串模式控制类似于一个具有迟滞特性的控制器：频率从 f_{START} 上升到 f_{STOP} ，然后停止并重复此过程。连接于VREF引脚和反馈引脚的外部电路决定最小及启动反馈引脚电流，从而决定最小及启动开关频率。电路中的软启动电容决定软启动时序。

VREF引脚为该反馈引脚外部电路及其他功能控制电路提供额定3.4 V的参考电压。此引脚所能提供的最大电流必须 ≤ 4 mA。

死区时间/脉冲串频率(DT/BF)引脚同时具有接地二极管的V-I特征。连接于VREF与接地引脚的电阻分压器可对死区时间、最大启动开关频率(f_{MAX})以及脉冲串阈值频率进行设定。经由电阻分压器流入DT/BF引脚的电流决定 f_{MAX} 。电阻的比值可从3个独立的脉冲串阈值频率比值中选择，这3个比值是 f_{MAX} 的固定分数。

OV/UV引脚通过一个电阻分压器对高压B+输入端进行检测。它执行电压缓升、电压跌落以及带迟滞特性的过压(OV)保护功能。这些电压的比值是固定的；用户必须选择电阻分压器比值，以使缓升电压低于最小的额定大电容（输入）电压的稳压设定点，确保启动；而OV重启动电压（低端保护阈值）则要高于最大的额定大电容电压设定点，从而确保LCS能够在输入电压波动而触发OV阈值上限时能够重新启动。如果需要不同的电压缓升-电压跌落-OV比值，则需要在电阻分压器周围增加额外的外部电路。

VCC引脚欠压锁存(UVLO)

VCC引脚具有内部UVLO功能且具有迟滞特性。HiperLCS在该引脚电压超过VCC启动阈值 $V_{UVLO(+)}$ 之前不会启动。HiperLCS在VCC降到VCC关断阈值 $V_{UVLO(-)}$ 时才会关断。

VCCH引脚欠压锁存(UVLO)

VCCH引脚是上管驱动器的供电引脚。与VCC引脚相似，同时具备UVLO功能，不过其阈值低于VCC引脚。这样可使VCCH电压稍低于VCC，因为VCCH引脚经自举二极管和串联的限流电阻由VCC提供供电。

启动和自动重启

启动前，芯片内部将反馈引脚电压上拉至VREF引脚以对软启动电容放电，并保持输出MOSFET关断。启动开始后，内部上拉晶体管关断，软启动电容充电，输出开始以 f_{MAX} 开关操作，反馈引脚电流减小，开关频率下降，此时电源输出上升。当输出达到电压设定点时，光耦器将导通，使环路闭合并对输出进行稳压调节。

每当VCC引脚上电时，DT/BF引脚进入高阻抗模式500 μ s，以便检测分压器比值并选择脉冲串工作阈值。对这些设置加以保存，直到下一次VCC上电时重新加以选定。DT/BF引脚然后进入正常模式，类似于一个接地二极管，检测到的电流将接着设定 f_{MAX} 频率。脉冲串阈值频率是 f_{MAX} 的固定分数。只要芯片内部将反馈引脚上拉开启，内部振荡器就以 f_{MAX} 运行内部计数器。

通过IS、OV/UV或VCC引脚(UVLO)检测到故障后，内部反馈引脚将晶体管上拉导通131,072个时钟周期，以对软启动电容完全放电，然后尝试重启。VCC供电循环后的第一次上电等待1024个周期，包括VCC上电后OV/UV引脚第一次上升到缓升电压阈值以上的情况。

远程关断

远程关断可通过将OV/UV引脚电压拉低到接地或将IS引脚拉升到 >0.9 V进行激活。这两种方式都可以激活一个131,072周期重启循环。也可以将VCC拉低以关断器件，但当VCC拉升时，反馈引脚电压会拉升到VREF引脚电压，对软启动电容仅放电1024 f_{MAX} 个时钟周期。如果采用此方案，设计师必须确保VCC拉低的时间加上1024个周期足以对软启动电容进行放电，否则，会造成启动频率较低，进而引起过大的初级电流，甚至会触发过流保护。

电流检测

IS引脚用于检测初级电流。它类似于一个连接至接地引脚的反向二极管。它容许出现负电压，前提是将负向电流限定于 <5 mA以内。为此，必须通过一个 >220 Ω 的串联限流电阻将它连接到电流检测电阻（或初级电容分压器+检测电阻）端。因此它可以接受AC波形，从而不需要整流器或峰值检测电路。如果IS引脚在连续7个周期内检测到一个额定0.5 V的正向峰值电压，则会激活自动重启。IS引脚另外还具有一个额定0.9 V的较高阈值，单次脉冲电压超过这个阈值即会激活自动重启。触发这两个电压阈值的检测脉宽最低要求为额定30 ns，也即阈值的正常检测时间必须 >30 ns。

过热关断

HiperLCS具有锁存过热关断(OTP)保护功能。一旦电源温度降低至OTP阈值以下，VCCH必须重新上电才能使电源重新恢复工作。

基本布局指南

HiperLCS是高频功率器件，需要十分仔细地进行电路板布局才能取得最佳性能。

各引脚都有使用旁路或去耦电容，这些电容的放置及布局必须仔细考量，尽量缩短引脚至这些电容的走线长度。建议使用SMD元件来降低元件及走线的杂散电感。

表2介绍了需要滤波/旁路的引脚的旁路电容建议值。该表格按敏感性从高到低列出了引脚。在列表最上面的引脚的旁路电容具有最高敏感性，它在旁路电容放置方面比位于其下的引脚具有更高优先级，更加需要缩短走线长度。进入列表中敏感性最高的两个引脚（即反馈引脚和DT/BF引脚）的噪声可分别导致占空比和死区时间失衡。

图5和图6显示了两个可获得最佳性能的可选接地走线方案。图5所示为使用椭圆形焊盘的LCS的板面布局。这种方案使得走线从引脚3和5之间通过，直接使IC两侧的旁路电容连接至接地系统。

图6所示为使用圆形焊盘的LCS的板面布局。因为空间有限，这种焊盘的布局中不能使走线从焊盘间穿过。在这种情况下，可使用跳线（JP1，1206尺寸0 Ω电阻）将接地系统连接在一起，引脚3的连线可以从JP1下穿过再连接到光耦器。

变压器T1同时是高di/dt信号和dv/dt噪声的来源。前者可通过磁场耦合到敏感电路而后可通过电场耦合注入噪声。通过将变压器磁芯接地可降低电场耦合的噪声，但即使效率没有大幅降低，这种方法在降低变压器周围的杂散磁场方面也不是经济可行的。因而敏感的走线及元件（如光耦器）的位置应远离变压器，以避免噪声干扰。

引脚	返回到的引脚	建议值	注释
反馈(FB)	接地	4.7 nF (250 kHz)	按比例提高该值可获得更低的额定频率（例如，10 nF时频率为100 kHz）。它与反馈引脚输入阻抗形成一个极点，用于控制反馈环路的特性。在所期望的增益穿越频率点，必须保证不会引入过多的相移。进入反馈引脚的噪声将导致占空比失衡。
死区时间/脉冲串频率(DT/BF)	接地	4.7 nF	此电容与连接至DT/BF引脚电阻至源极的阻抗所形成的时间常数必须<100 μs。进入DT/BF引脚的噪声将导致死区时间失衡。
电流检测(IS)	接地	1 nF (250 kHz)	该值的变化会使得额定LLC级工作频率成比例变化。它与建议的220 Ω串联电阻形成一个RC低通滤波器。但不应衰减初级电流检测的AC信号。
VCC	接地	1 μF陶瓷	
VREF	接地	1 μF陶瓷	
VCCH	HB	0.1 μF - 0.47 μF	自举电容。为上管驱动器提供瞬态电流以导通上管MOSFET。此电容与自举电流限制电阻（与自举二极管串联）形成的时间常数可在启动时延迟VCCH UVLO几个开关周期，在脉冲串模式工作期间延迟前几个开关周期
漏极(DC总线)	S1, S2	10-22 nF SMD陶瓷(最小值)，外加22-100 nF插件电容	按照额定初级RMS电流每安选取22 nF的原则选取总的电容量。SMD元件必须直接放置到IC上，并以短走线靠近连接。这可以防止在出现硬开关（失去ZVS工作状态）瞬变时出现D-S振铃。同时它也可降低高频EMI。
OV/UV	接地	4.7 nF	

表 2. 根据重要性排序的旁路电容表

图7所示为光耦器以及与反馈引脚相连走线的优选走线范例。光耦器远离变压器，以降低噪声干扰。光耦器输出走线（从引脚3）也采用了特殊的走线方式，用来增大它与“有源”元件和其它铺铜走线之间的距离，这些“有源”元件及走线包括T1和电容C12的“高压”端。电阻R20的位置靠近U1而不是光耦器U2，这样可使光耦器走线上的任何噪声干扰在到达U1的反馈引脚之前被R20和C4共同滤波。C4直接靠近U1的反馈引脚（引脚4）放置。

VCCH通过一个高压超快速二极管和一个 $2.2\ \Omega$ 串联电阻连接到待机电源。当内部LLC下管MOSFET导通时，该二极管电阻网络对VCCH旁路/存储电容充电。电阻用于限制瞬间峰值充电电流。请参见图8中的R6和D1。

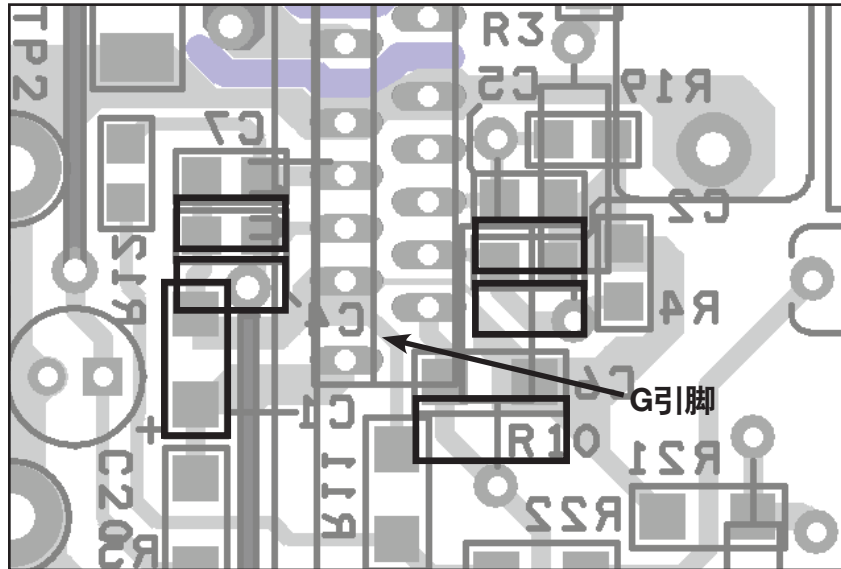


图 5. IC信号引脚上旁路电容的位置

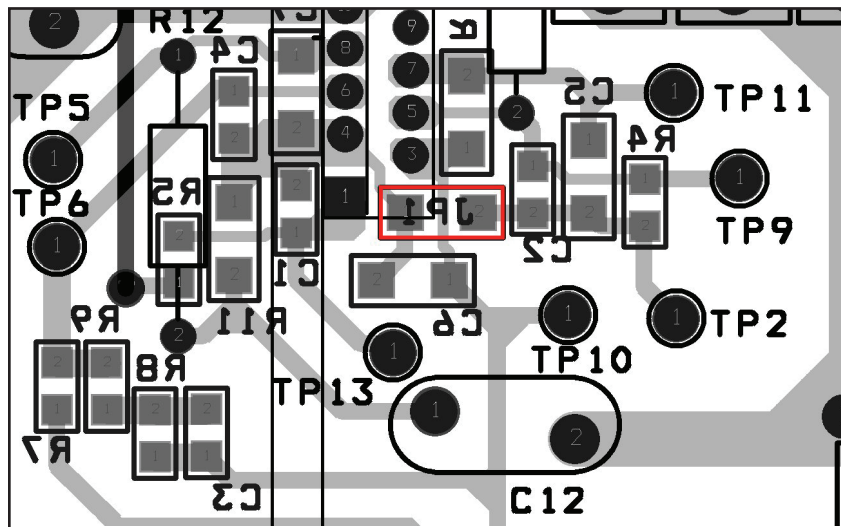


图 6. 使用圆形焊盘的LCS的可选布局（连接两个接地的跳线突出显示）

小信号旁路电容

请注意与反馈、DT/BF、IS、VREF、OV/UV和VCC引脚相连接的小信号旁路电容（突出显示）的位置。这种方式可以使得其与引脚之间的走线以及至接地引脚的走线保持最短。注意，在印刷电路板上接地引脚与源极引脚或B-总线之间没有进行走线连接。

VCCH旁路电容

请参见图8。请注意VCCH引脚电容的位置（突出显示）。这样可以保证其与HB引脚和VCCH引脚之间的走线最短。

漏-源极高压旁路电容

请参见图9。请注意位于IC处的连接于B+和B-之间的高压旁路电容（突出显示）的位置。这样可以缩短连接至D和S引脚的PCB走线长度。

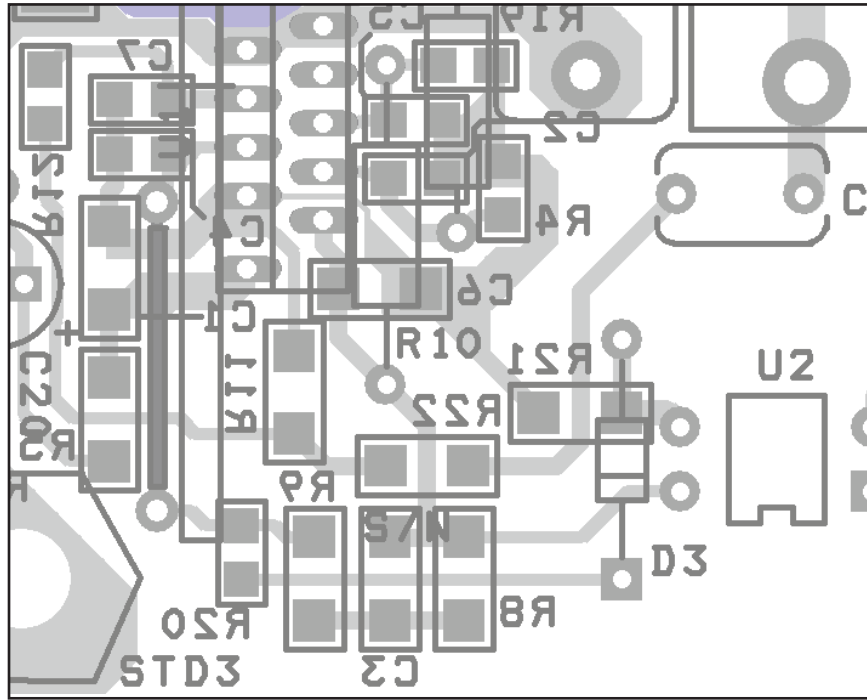


图 7. 光耦器以及与反馈引脚相连走线的优选走线方式

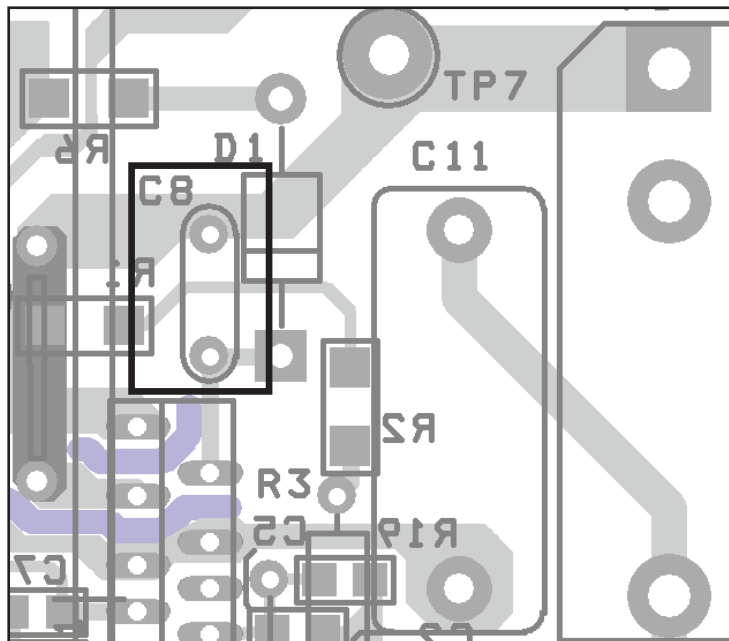


图 8. VCCH电容的位置

自举电路和HB节点布局

请参见图10。请注意自举二极管、电容、电阻和HB走线的位置。布局的目标是使它们远离小信号元件和走线，比如反馈光耦器。不要不必要地增加此节点的PCB走线面积，因为这样会增强到低压电路的dv/dt（电容性）耦合。

变压器次级

变压器次级引脚、输出二极管和主输出电容应靠近放置，并采用短而厚的铺铜走线。这对于实现次级电流对称性和降低输出二极

管反向电压应力**至关重要**。如果使用陶瓷电容，则可放置在变压器次级引脚和输出整流器之间，从而获得非常紧凑的布局。请参见图11。次级绕组的两个一半绕组在绕制到骨架之前，应先缠绕在一起。这样可降低它们之间的漏感，并极大增强电流的对称性和降低输出二极管反向电压应力。对于双路输出设计，每路输出的两个一半绕组需要互相缠绕。

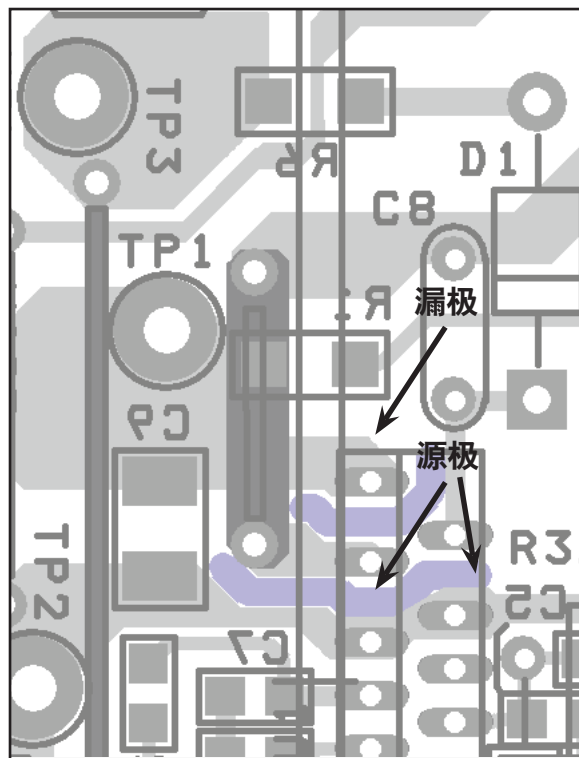


图 9. B+和B-高压旁路电容的位置

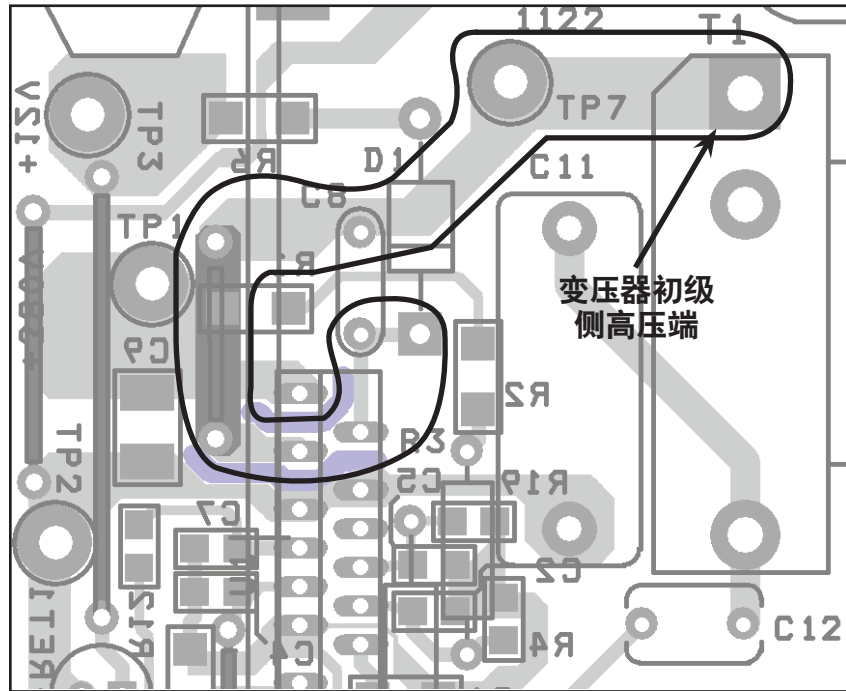


图 10. 自举二极管、电容、电阻和高压走线路径的位置

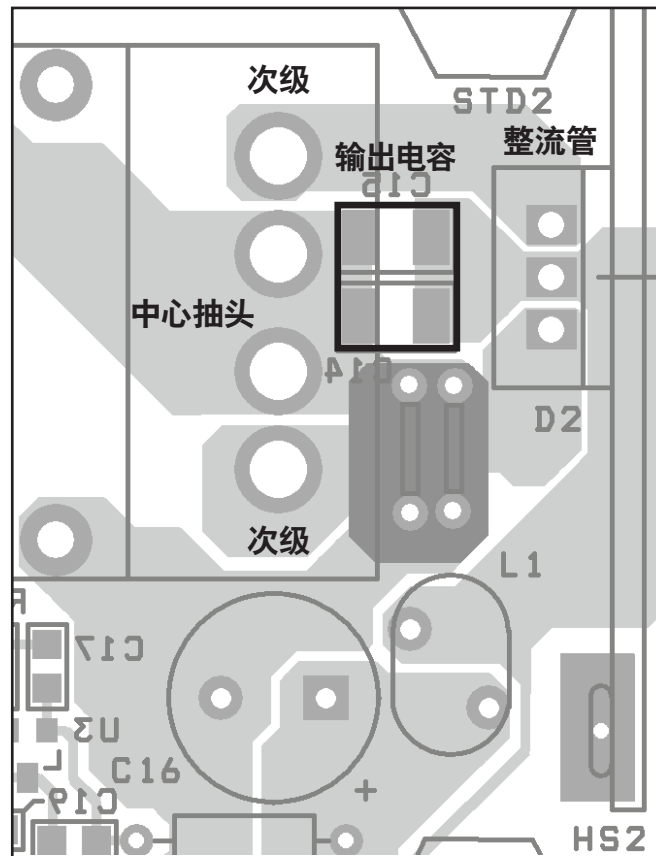


图 11. 可以缩小等效环路面积的位于变压器次级引脚和输出整流管之间的输出电容的位置

关键设计细节

LLC转换器是变频谐振转换器。随着输入电压的降低，频率必须降低以维持输出电压稳定。在较小的程度上，负载降低时，频率必须升高。当转换器以串联谐振频率工作时，频率随负载变化的幅度非常小。当电压跌落（最小输入电压）和满载时，会达到所需的最小工作频率。

工作频率的选取

为实现最低成本以及最小尺寸的变压器（使用最少的铜量），建议采用~250 kHz的额定工作频率。这样可以用低成本的陶瓷输出电容来取代电解电容，特别是在较高输出电压(≥ 12 V)的设计中。如果所使用的磁芯和骨架在250 kHz下存在过大的漏感，那么在180 kHz也可获得出色的性能。为在250 kHz下获得最佳效率，建议初级绕组采用AWG #44 (0.05 mm)利兹线，次级绕组采用AWG #42 (0.07 mm)利兹线。使用粗线径低成本的利兹线的代价是铜损耗增大和效率降低。最适用于极低频率(60-70 kHz)的利兹线为AWG #38或0.1 mm，但需要更大的变压器，利兹线的长度也会更长。

对于可低至130 kHz的额定工作频率，建议使用PC44或同等磁芯材料以降低损耗。对于一个给定的变压器，提升频率水平（通过换用较小的谐振电容）可降低磁芯损耗（由于AC磁通密度 B_{AC} 减小），增加铜损耗。磁芯损耗与磁通密度相关性很强而不是工作频率。由于涡流损耗的存在，频率升高会增大铜损耗。

额定工作频率一旦超过300 kHz，就开始损失很大的效率，原因是铜线中的涡流损耗增大，以及很大一部分时间属于初级上升下降时间（即ZVS切换时间），而这会占用功率传输到次级的时间比例。

谐振腔和变压器设计

请参见《应用指南AN-55》，了解PIXIs HiperLCS设计表格的使用指南。这个设计表格用于帮助完成整个设计过程。

初级电感量

最佳的HiperLCS功率转换电路设计中所使用的初级电感，可使得电源在任何稳态条件下开关管的ZVS损耗都能够最低。在非稳态条件下产生一部分ZVS损耗是可以接受的。降低初级电感可激励磁电流增大，从而增大ZVS的工作范围，但励磁电流增大会导致损耗增加，从而效率降低。

样板制作过程中所采用的变压器初级电感量的计算要基于器件型号、额定负载、最小输入电压以及所需的工作频率。PIXIs设

计表格中提供此计算。 L_{PRI} 是集成变压器（高漏感）的初级电感量。在使用外部串联电感的情况下，表示该外加电感与变压器初级电感之和。

漏感

参数 K_{RATIO} 是漏感的函数：

$$K_{RATIO} = \frac{L_{PRI}}{L_{RES}} - 1$$

建议的 K_{RATIO} 值介于2.5 - 7之间。它决定了漏感的可接受范围。

L_{RES} 为集成变压器中的漏电感；如果使用独立的串联电感，它表示该串联电感与变压器漏感之和。

低 K_{RATIO} 值（高漏感感量）可能无法在最小输入电压下实现稳压，并且会因漏磁通而加大变压器铜损耗。高 K_{RATIO} 值（低漏感感量）会在低压下导致高峰值电流和RMS电流，并且需要以更低的初级电感才能实现适当宽的范围内进行ZVS工作，这会增大谐振循环电流，从而降低效率。

设计师在调整漏感感量时可能会受限于所选择的磁芯和骨架。但幸运的是，即使漏感感量在一个相对宽的范围内，仍然可以实现出色的性能。

K_{RATIO} 的数值直接影响LLC为在整个输入电压范围内维持稳压所需工作的频率范围。 K_{RATIO} 增大会导致该频率范围增大且 f_{MIN} 降低。

对于通常在较高额定 B_{AC} 下运行的低频设计来说，低 f_{MIN} 值只是个潜在的问题。在 f_{MIN} 下工作时会导致磁芯达到饱和。当输入电压达到最低值（输入电压跌落）时， f_{MIN} 工作频率才会出现。

如果设计使用单独的谐振电感，感量取值可以处于范围的下限($K_{RATIO} = 7$)，这样可以降低电感的尺寸和成本。

调整漏感

分槽式骨架（独立的初级和次级）通常用于LLC转换器。同时增加或减少初级和次级的圈数（维持匝数比）可以改变漏感的感量。漏感感量的变化与初级圈数的平方成比例改变。

如果漏感过高，一个可行的解决方法是使用3槽式骨架，次级位于中间一槽，初级绕组分成两个串联的半绕组，分别在两边的槽内绕制。

最后，如果漏感过低，可外部添加一个外部电感。

谐振频率

串联谐振频率是 L_{RES} 和谐振电容 C_{RES} 的函数。对于任何给定的 L_{RES} 值，均可调整 C_{RES} 值以取得所需的串联谐振频率 f_{RES} 。为获得最高效率，可将谐振频率设定为接近额定输入电压下的目标工作频率。

工作频率和频率比

工作频率与谐振频率的比值 f_{RATIO} 通过以下公式表示：

$$f_{RATIO} = \frac{f_{SW}}{f_{RES}}$$

$f_{RATIO} = 1$ 表示转换器以串联谐振频率工作。

f_{RATIO} 的主要决定因素是变压器匝数比。对于给定的输入和输出电压，增大初级圈数可降低 f_{RATIO} 。

额定输入电压下的 f_{RATIO} 建议值是0.92 – 0.97。如果不考虑输出整流管的选取，以谐振频率工作通常可使谐振功率转换电路达到最高效率。然而，以略低于谐振频率的频率工作（使整流管进入非连续导通模式）则可以使用电压较低的输出二极管或同步MOSFET，这样可降低损耗，从而提升整体效率。这是因为在高压下，当转换器需要以高于谐振的频率工作时，整流管会在较浅的连续导通模式下工作，这样可减小其电流换向的幅值，从而降低其杂散电感的电压尖峰。（杂散电感由次级绕组两端之间的漏感以及与整流器和输出电容相连的引线杂散电感共同构成）。

相反，以极低 f_{RATIO} (<0.8)工作可导致RMS电流和峰值电流增大。在有些情况下，这种设计也是最佳的。因为它允许使用电压额定值更低、 V_F 值更低的输出整流管，也不会工作于连续导通模式，因此不会出现电压尖峰，从而可以使用更低电压额定值的整流管。

当以下等式成立时，LLC半桥转换器将以谐振频率工作：

$$\frac{V_{IN}}{2} = n_{EQ} V_{OUT}$$

其中， n_{EQ} 是变压器的等效电路匝数比。注意，集成变压器的 n_{EQ} 小于其实际匝数比 N_{PRI}/N_{SEC} 。次级圈数是指每一半次级的圈数。上面等式中的 V_{OUT} 等于输出电压加上二极管压降。除数“2”源于半桥配置 – 每个半周期将一半的输入电压导通至每半个次级绕组。

注意，如果谐振电容或电感值有变动，开关频率和谐振频率都会随之改变，但 f_{RATIO} 的变化并不大。

对于给定的设计，LLC以谐振频率工作的输入电压是

$V_{INPUT(RESONANCE)}$ 。如果低于此电压，LLC将以更低的频率（低于谐振频率）工作。因此，在额定输入电压时采用 $f_{RATIO} \approx 0.95$ 的建议值时， $V_{INPUT(RESONANCE)}$ 将略高于额定电压。

对于采用可变额定输入电压的设计（例如，无PFC预稳），建议设定初始匝数比，使得 $V_{INPUT(RESONANCE)}$ 大约介于最大输入电压与最小输入电压的中间点。对于采用可变输出电压的设计（例如，恒流输出），建议设定初始匝数比，使得LLC在介于最小输出电压与最大输出电压中间点以谐振频率进行工作。

死区时间的选取

绝大部分使用HiperLCS的设计，无论其功率与工作频率多大，都能以介于290和360 ns之间的死区时间非常好地工作。

$V_{BROWNOUT}$ 要求较低的设计则需要采用较短的死区时间。

设置死区时间时需要在低压/满载（低频率）和最小负载/高压（高频率）条件之间进行折中选择。低压/满载工作具有最优的短死区时间，而最小负载/高压工作具有最优的长死区时间。

设置的死区时间长于低压/满载工作的最优的短死区时间时，会产生一部分ZVS损耗，如果在稳态工作期间不出现低压/满载工作条件（即只在瞬态条件下出现，如维持时间时出现），这一设置也是可以接受的。在稳态工作期间产生ZVS损耗的工作方式会导致内部功耗，应予以避免。

设置的死区时间短于高压/最小负载工作的最优的长死区时间时，容易造成反馈信号反向，强制HiperLCS进入脉冲串模式。如果所导致的脉冲串模式工作是可以接受的，这一设置也是可以接受的（亦即，脉冲串的重复频率不会产生音频噪声。而在强信号瞬变时，HiperLCS允许进入和退出脉冲串模式，且此类情况可以接受）。注意，如果前端采用PFC预稳，负载突降（例如，从100%到1%的负载阶跃）会使得输入电压呈现短暂的瞬态改变（例如，LLC级的输入电压从380 V升至410 V，然后相对缓慢地降回到380 V）。另请注意，脉冲串阈值频率设置是设计师可以用来调节脉冲串模式的另一个变量。

OV/UV引脚

HiperLCS的OV/UV引脚对输入(B+)电压进行监测。其电压跌落关断阈值($V_{SD(L)}$)额定为电压缓升（导通）阈值($V_{SD(H)}$)的79%，因此其额定值为2.4 V。过压(OV)锁存关断阈值($V_{OV(H)}$)额定为电压缓升启动阈值的131%，OV重新启动电压点($V_{OV(L)}$)额定为电压缓升启动阈值的126%。在前端采用PFC预稳且输出电压设定点固定的设计中，这些阈值的比值是固定不变的，这样的选取可以获得最大的效用。选取电阻分压器比值时，应使电压缓升点始终低于PFC输出设定点，而OV重新启动（较低的）阈值应始终高于PFC输出设定点，数值选取时要考虑元件容差的影响。

在维持时间内，输入(B+)电压将从额定值开始下降，一直降至电压跌落阈值，此时HiperLCS将停止开关。

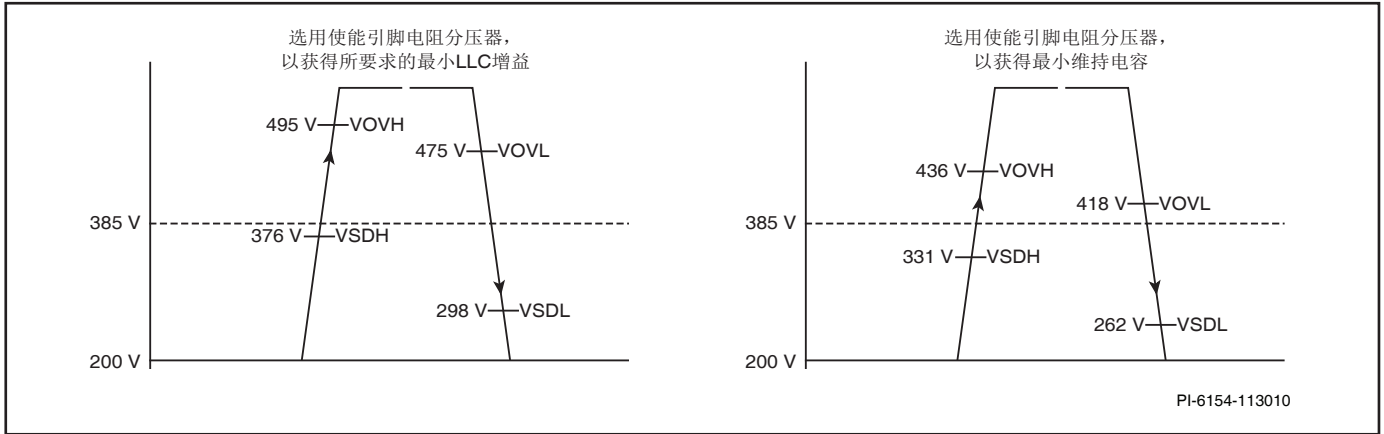


图 14. 在385 V额定输入电压下，基于最小和最大分压器比值的OV/UV引脚电压阈值

如果输入电压可变（例如，无PFC预稳）且变化范围大于24%，则应通过电阻分压器周边的外部电路来提高OV阈值。如果 $V_{BROWNOUT}$ 需要降到默认比值以下，也需要添加外部电路。

在图14左侧的示例中，所设置的电阻分压器可使电压缓升阈值达到376 V，稍低于 V_{PFC} 的385 V设定值。OV关断阈值为495 V，针对器件530 V的最大 V_{DS} 额定值提供充足的裕量。这样可降低所要求的最小LLC增益，并降低电压跌落点的峰值电流。在图14右侧的示例中，OV重启阈值设为418 V，稍高于 V_{PFC} 。对于给定的大容量电解电容，可以增大维持时间。

OV/UV引脚具有一个集成的5 MΩ下拉电阻，用于检测引脚开路的故障情况。

建议的OV/UV引脚分压器外部下拉电阻阻值为20 kΩ – 22 kΩ。电阻值非常大时，会影响引脚下拉电流，从而影响准确性，电阻值过小则会增大功率损耗。

DT/BF引脚

DT/BF引脚通过VCC上电后进入高阻抗模式500 μs来检测分压器比值。在HiperLCS开始开关前，它会检测引脚电压。请参见图15。

有3个独立的脉冲串阈值设置可供选择。（这将决定脉冲串的开始和停止开关频率，参见表3）。

为确保作出正确选择，可根据表3来设置 R_{BURST} 和 R_{FMAX} 的比值。

脉冲串阈值	R_{BURST} / R_{FMAX}
1	19
2	9
3	5.67

表 3. 脉冲串阈值选择表

脉冲串阈值设置会存储到VCC断电为止。

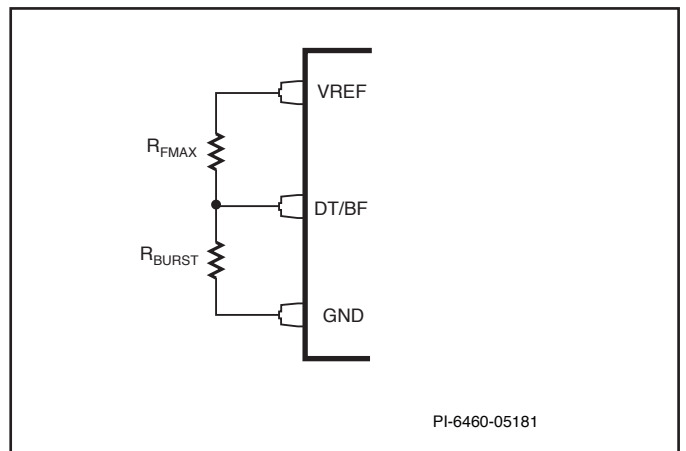


图 15. DT/BF引脚分压器

选择脉冲串阈值后，DT/BF引脚即可在正常模式下工作并吸收电流，表现为一个额定为0.66 V和1.1 kΩ的戴维宁等效电路，这类类似于一个接地二极管。从电阻分压器进入该引脚的电流决定死区时间和最大频率 f_{MAX} 。死区时间和 f_{MAX} 的关系是固定的，可近似表示为：

$$f_{MAX} (kHz) = \frac{270000}{Dead-Time(ns)}$$

DT/BF引脚电流与 f_{MAX} 以及开关频率与反馈引脚电流（具有相同的特征）的关系如图16所示。

脉冲串模式的开始和停止频率阈值是 f_{MAX} 的固定分数，具体取决于由DT/BF引脚上的电阻分压器比值所设定的脉冲串阈值设置。

脉冲串阈值设置	f_{START} / f_{MAX}	f_{STOP} / f_{MAX}
1	7/16	8/16
2	6/16	7/16
3	5/16	6/16

表 4. 额定脉冲串开始和停止频率相对于 f_{MAX} 比值的变化

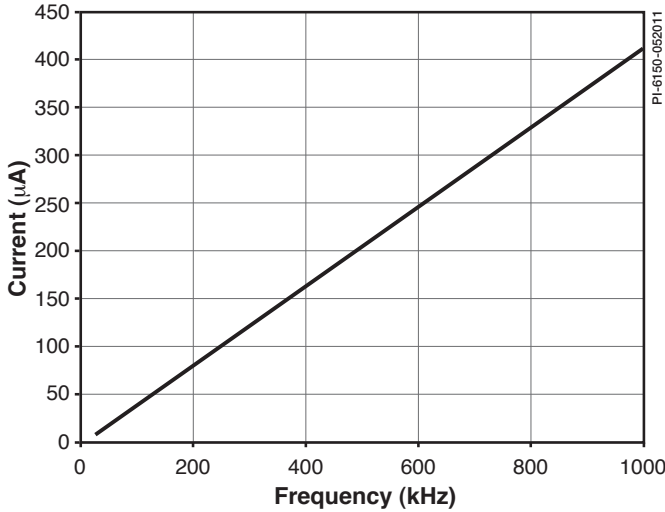


图 16. 反馈引脚和DT/BF引脚电流相对于频率的变化

例如，如果选择了BT2且 f_{MAX} 为800 kHz，则 $f_{START} = 300$ kHz， $f_{STOP} = 350$ kHz。如果在正常工作期间负载降低而频率升至350 kHz，开关将停止。这会导致输出电压下降和反馈环路减小反馈引脚电流。当电流降至与300 kHz相对应的数值时，开关将开始。这样的开关操作周而复始。然而在启动模式下，输出可在一个介于 f_{STOP} 和 f_{MAX} 之间的频率（在上例中为250 kHz和800 kHz）下进行开关。一旦开关频率降到 f_{STOP} 以下，则退出启动模式；如果反馈环路试图产生一个 $>f_{STOP}$ 的开关频率，HiperLCS随后将进入脉冲串模式。

f_{MAX} 是当HiperLCS处于自动重新启动周期的关断状态或处于开关前的上电延迟状态时，内部计数器运行所采用的频率。

建议的最小死区时间是275 ns，因此 f_{MAX} 的最大设置值是1 MHz。

为了简化 R_{FMAX} 的选取，可参见图17中的选择曲线。

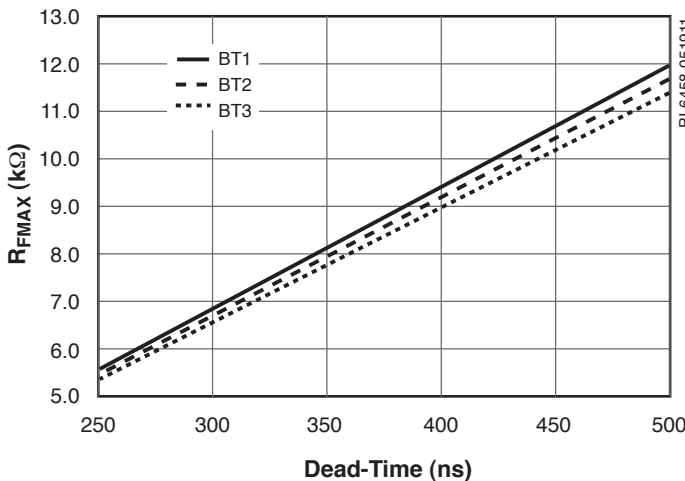


图 17. 根据3个不同的脉冲串阈值设置， R_{FMAX} 相对于死区时间的变化

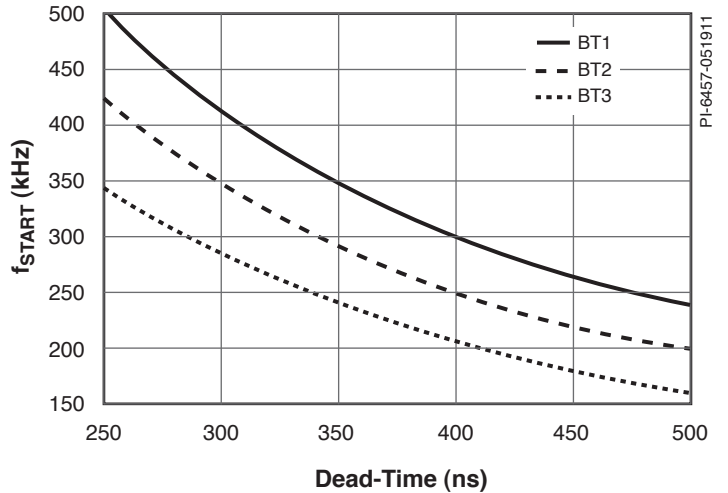


图 18. 根据不同的脉冲串阈值设置(BT1, BT2, BT3), f_{START} (较低脉冲串阈值频率)相对于死区时间设置变化

f_{STOP} 与 f_{START} 的比值是固定的，具体取决于脉冲串阈值设置（参见表5）。

脉冲串阈值设置	f_{STOP} / f_{START}
1	1.14
2	1.17
3	1.20

表 5. f_{STOP}/f_{START} 比值与脉冲串阈值的选择

大体而言，在脉冲串模式下，频率会从 f_{START} 升至 f_{STOP} ；然后开关停止，这种循环周而复始。

反馈引脚

反馈引脚是一个电压稳定的引脚。其特性为一个额定电压和电阻分别为0.65 V和2.5 kΩ的戴维宁等效电路。在正常工作条件下，它会吸收电流。在自动重新启动的关断期间以及启动前的时钟延迟期间，它会在内部将电压拉升到 V_{REF} ，以便对软启动电容放电。进入引脚的电流决定开关频率的大小。电流越大，开关频率就越大，从而降低LLC输出电压。在典型应用中，连接到 V_{REF} 引脚的光耦器通过电阻网络来上拉反馈引脚的电压。输出升高时，光耦器作为电流源向反馈引脚注入电流，以增大反馈引脚电流。在光耦器、反馈引脚和 V_{REF} 引脚之间的电阻网络决定最小和最大反馈引脚电流（进而决定最小和最大工作频率）。光耦器在电流从截止到饱和的过程中可以实现对反馈引脚电流的控制。该电阻网络还包含软启动定时电容 C_{START} （见图19）。

由此网络设定的最小频率必须低于功率转换电路在最小输入电压下所要求的频率。在图19中，这由 R_{FMIN} 与 R_{START} 的和决定。当光耦器截止时，反馈引脚电流由这两个电阻决定。在正常工作条件下， C_{START} 可忽略不计。请不要将决定启动频率的 R_{START} 与脉冲串模式开始（值较低的）阈值频率 f_{START} 相混淆。

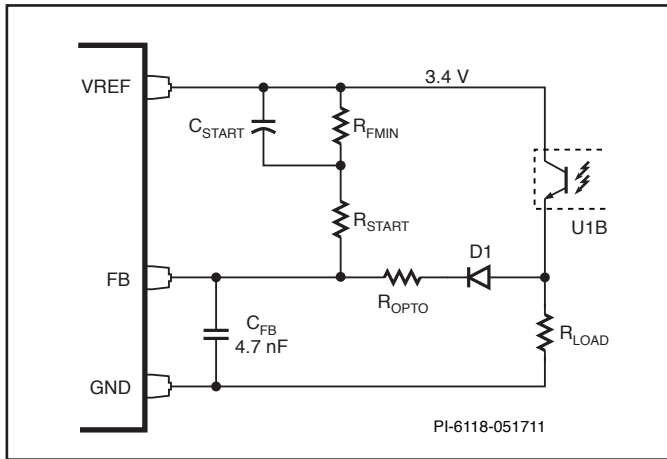


图 19. 添加额外负载电阻后的反馈网络

启动时的反馈引脚电流由 R_{START} 值决定，因为 C_{START} 的电压为零。为降低启动峰值电流，反馈引脚启动电流应等于或稍大于DT/BF引脚电流，以使开关频率以 f_{MAX} 开始。因而 R_{START} 的实际值将比DT/BF引脚的上拉电阻值低10%左右。随着 C_{START} 的充电频率将下降。如果 R_{START} 小于使得电源在 f_{MAX} 下启动所需要的实际电阻值，它将在启动开关之前产生额外的延迟。请参阅PIXIs中的HiperLCS设计表格。

电阻 R_{LOAD} 为光耦器提供负载，并在脉冲串模式下加快强信号瞬态响应的响应速度。建议值为~4.7 k Ω 。二极管D1可防止在光耦器截止时 R_{LOAD} 与 R_{FMIN} 形成负载通路。二极管D1可以省去，但此时多个电阻的组合数值将决定所需要的 f_{MIN} ，因而其产生的容差会比较大。电阻 R_{OPTO} 可增强电源的抗ESD及抗浪涌能力。它还可以改善脉冲串模式工作时输出端的输出纹波电压。其最大值必须满足当光耦器饱和且反馈引脚电压为2.0 V时，反馈引脚电流等于DT/BF引脚电流（请参见PIXIs中的HiperLCS设计表格）。这样是为了确保，在HiperLCS没退出启动模式的情况下（因为反馈环路不允许开关频率降到 f_{STOP} 以下），HiperLCS仍可以以 f_{MAX} 频率的脉冲串工作方式，对轻载条件下的输出电压实现稳压。但请注意，以 f_{MAX} 频率工作的脉冲串工作方式，由于失去了ZVS操作会导致较高的内部功耗，因此应予以避免。请参见图20。

电容 C_{START} 的数值应尽可能地小，保证在启动时可连续7个周期出现峰值电流，且该电流能够稍小于在电压跌落及满载时的峰值电流。更大的容值会降低启动速度，很有可能使得工作频率无法达到 f_{STOP} 。这样会导致HiperLCS在高压及最小负载下上电启动时退不出启动模式，继而使得HiperLCS以 f_{MAX} 的频率进行脉冲串模式工作，而不是以介于 f_{START} 和 f_{STOP} 之间的频率进行脉冲串模式工作。

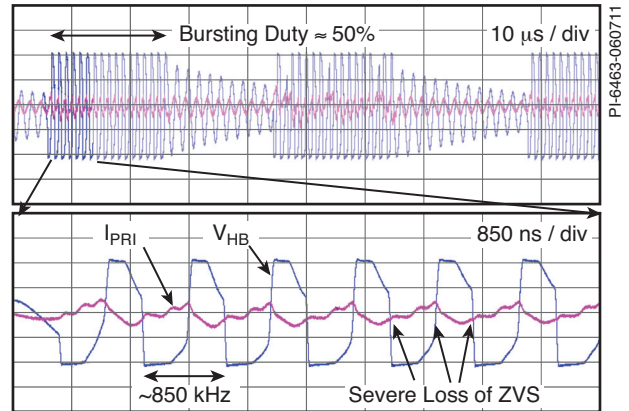
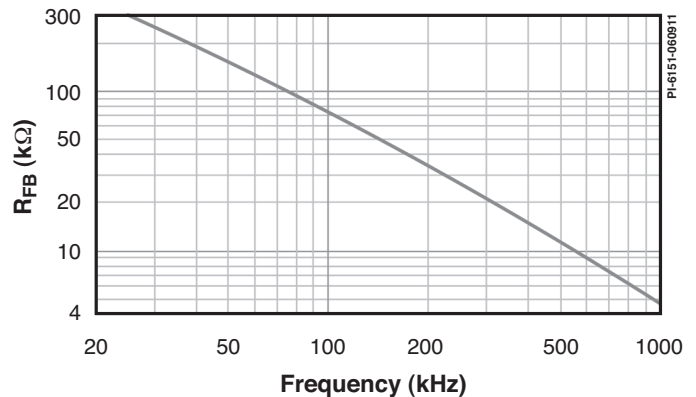
图 20. 脉冲串频率 f_{MAX} 可因ZVS损耗而导致较高的内部耗散，因此应予以避免

图 21. VREF和FB之间的外部电阻相对于频率的变化

可使用下面的公式来计算 R_{FMIN} 和 R_{START} ，该公式表示了从反馈引脚到VREF引脚的额定电阻阻值随频率的变化：

$$R_{FB} = \frac{3574}{f^{(0.6041 + 0.1193 \times \text{LOG}(f))}}$$

其中， R_{FB} 的单位是k Ω ， f 的单位是kHz。

为了计算可在 f_{MAX} 下产生启动的最小 R_{START} 数值，在上面公式中的 f 数值使用 f_{MAX} 来替代（ f_{MAX} 可从与死区时间与 f_{MAX} 的关系式中计算得到）。

设定 f_{MIN} 时，在上面的公式中的 f 的数值使用 $f_{MIN} \times 0.93$ 来替代。其中0.93是为了确保，即使在-7%的最差频率容差条件下，工作频率仍可以低于 f_{MIN} ，以保证在 $V_{BROWNOUT}$ 下输出仍能够获得稳压调节。

使用计算得出的 R_{FB} 值来计算 R_{FMIN} ：

$$R_{FMIN} = R_{FB} - R_{START}$$

R_{FMIN} 与 R_{START} 的和决定 f_{MIN} 。

应注意的是，4.7 nF去耦电容 C_{FB} （参见图19）与反馈引脚所具有的2.5 k Ω 输入电阻在LLC传递函数中形成一个极点。这可以为反馈环路增加明显的相位滞后。对于具有3 kHz穿越频率的250 kHz设计来说，其典型值为4.7 nF。为避免造成环路不稳，4.7 nF电容的值不得随意增大。另一个极端情况是，反馈引脚旁路电容太小或布局不佳则会造成占空比不对称。

启动和自动重启

在启动以及自动重启周期的关断状态下，反馈引脚电压将从内部被上拉至VREF引脚电压。这样可使MOSFET保持关断并对软启动电容放电，为软启动做准备。

在启动时，该状态将以 f_{MAX} 的频率维持1024个时钟周期。在自动重启周期的关断状态下，或者在OV/UV或IS引脚已被触发，但VCC仍高于其UVLO阈值时，该状态则维持131,072个时钟周期。

经过1024或131,07个周期（取决于具体情况）后，HiperLCS关断内部上拉晶体管，软启动电容开始充电，输出MOSFET以 f_{MAX} 进行开关，反馈引脚中的电流减小，频率开始下降，电源输出开始上升。

例如，当 $f_{MAX} = 800$ kHz时，VCC上电后的启动延迟是1.3 ms。如果触发IS或OV/UV引脚，将激活自动重启，重启延迟为164 ms。

反馈引脚的限流点等于流入DT/BF引脚的电流。这可以限制在启动时对软启动电容充电的最大电流。如果 R_{START} 小于在启动时可使反馈引脚电流与DT/BF引脚电流实现匹配实际所需的电阻值，则会引入增加额外的延迟。 C_{START} 将以限流点的电流进行充电，当反馈引脚电压降到2.0 V以下时才会开始开关操作。因此，如果有需要，设计师可以通过此方法增加额外的启动延迟。

随着软启动电容继续充电，流经 R_{START} 和反馈引脚的电流开始减小，这会降低开关频率。输出电压开始爬升；当反馈环路闭合时，光耦器导通并开始控制开关频率，进而控制输出电压。

远程关断

远程关断可通过将OV/UV引脚下拉至接地端或将IS引脚上拉到 >0.9 V进行激活。这两种方式都可以激活一个131,072周期重启周期。也可以将VCC拉低以关断器件，但当VCC拉升时，反馈引脚会被上拉至VREF引脚电平，仅在1024 f_{MAX} 个时钟周期对软启动电容进行放电。如果采用此方案，设计师必须确保VCC被拉低的时间加上1024个周期的时间内足以对软启动电容进行放电，否则，必须确保导致的较低启动频率必须足够高，不会造成过大的初级电流，因为初级电流过大有可能会触发过流保护。

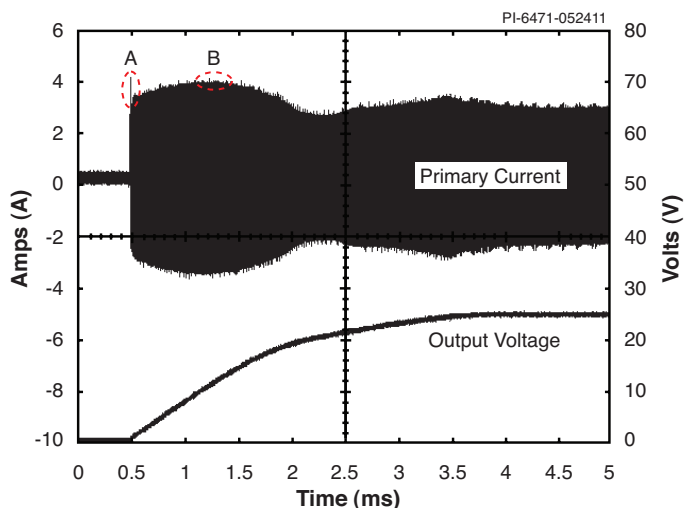


图 22. 典型的启动波形。观察初始电流尖峰‘A’，应确保其低于单个周期内的初级限流点。更高的 f_{MAX} 会使其减小。调整软启动电容的大小，以使‘B’的峰值稍低于 $V_{BROWNOUT}$ 输入电压下且满载时的峰值电流。

IS引脚

ISL引脚有两个阈值：分别为额定0.5 V和0.9 V。IS引脚可以容许较小的负电压和电流，因此不需要峰值检测电路或整流电路。引脚的等效电路为一个接地的反向偏置的二极管，可以容许最大5 mA的负向电流。一个以初级B-作为参考的电流检测电阻或一个由电容分流器+电流检测电阻构成的组合电路对初级电流进行采样。为将负向电流限定在5 mA以下，需要在检测电阻和IS引脚之间放置一个限流电阻，其最小值应为220 Ω 。对于一个给定的RC极点频率，如果该电阻的数值变小则要增大IS引脚旁路电容的数值，从而抑制引脚噪声。如果IS引脚检测到7个连续脉冲 >0.5 V，它将激活重启。而如果单次脉冲超过0.9 V，它也会激活重启。最小脉冲检测时间额定为30 ns – 亦即，高于阈值电压的脉冲持续时间必须 >30 ns。

图23中的“电容分压器”电路可降低功率耗散，并可通过简单的电流检测电阻电路实现效率提升。主谐振电容C11和检测电容C12这两个电容形成一个分流器。流经C12的部分初级电流大小为：

$$\frac{C12}{C11 + C12}$$

由此可计算出IS引脚电压等于

$$I_P \times \frac{C12}{C11 + C12} \times R11$$

其中， I_P 是从HB引脚流经变压器初级侧的初级电流。流经检测电容中的电流也经过检测电阻R11。电阻R11是调节限流点的主要手段。R11上的信号（AC电压）通过R12和C7组成的低通滤波器，然后到达IS引脚。请注意，R11的返回端是接地引脚而不是源极引脚。

建议的220 Ω串联电阻与旁路电容形成一个低通滤波器，其时间常数不得在正常工作频率下造成电流检测信号的明显衰减。衰减对启动电流波形中的第一个电流脉冲影响最大。另外还会影响短路测试期间的正常关断，因为这通常会触发7个周期的限流点操作。在IS引脚旁路电容两端加一个耦合紧密的探头，并将波形和初级电流进行比较，用于判断电流检测信号是否受到衰减。

脉冲串模式的工作原理与调整

脉冲串模式将产生如图24中所示的典型波形。在产生突发脉冲串的过程中，开关频率从 f_{START} 升至 f_{STOP} 。

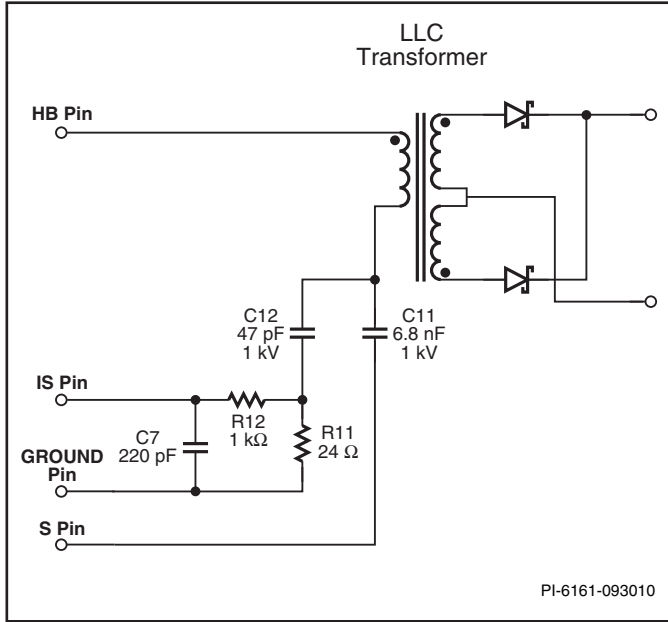


图 23. 电容分压器电流检测电路

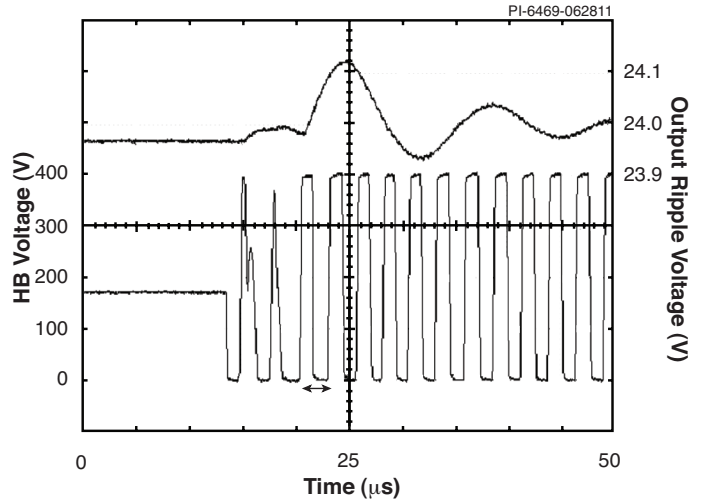


图 25. 图24中突发脉冲串的前几个开关周期的放大显示。前两个周期表明上管驱动器尚未导通。前几个周期的开关频率为 f_{START} ，在本例中为335 kHz。输出振荡来自输出滤波器。

如果忽略突发脉冲串开始时的初始输出纹波尖峰，输出纹波有点像一个锯齿波。请参见图24中的输出纹波波形。当HiperLCS正在开关操作时，输出升高。当它停止开关时，输出降落。锯齿的顶端是突发脉冲串停止的位置，此刻经过反馈环路的控制工作频率 = f_{STOP} 。锯齿的底端是突发脉冲串开始的位置，此时经过反馈环路的控制其工作频率 = f_{START} 。因此，脉冲串模式控制类似于一个迟滞控制器，其锯齿波顶端和底端由反馈环路增益进行固定。锯齿波的下坡仅是输出电容放电到负载的过程，其 dv/dt 计算如下：

$$I = C \times \frac{dv}{dt}$$

其中，I = 负载电流。C是总输出电容。

锯齿波的上坡取决于功率转换电路所提供的电流与负载吸收的电流之间的差异。对于给定设计，上坡随输入电压的升高而增大。

脉冲串重复率（频率）则随负载的增大而增大。当负载达到功率转换电路可以以 $<f_{STOP}$ 的频率进行稳压调整时，脉冲串模式将停止。当负载电流（从重负载）减小时，频率将升高，当它达到 f_{STOP} 时，将开始脉冲串工作模式。

在典型设计中，所选取的 f_{START} 必须至少比额定开关频率高20-40%。图18显示了 f_{START} 和死时间的关系，而表5所示为 f_{STOP} 与 f_{START} 的比值相对于脉冲串阈值设置数值之间的关系。在某些情况下，设计师可能需要稍微更改死区时间，以便更改 f_{START} 和 f_{STOP} 。有些设计可能只在零负载而且输入电压高于额定值时才进入脉冲串模式。

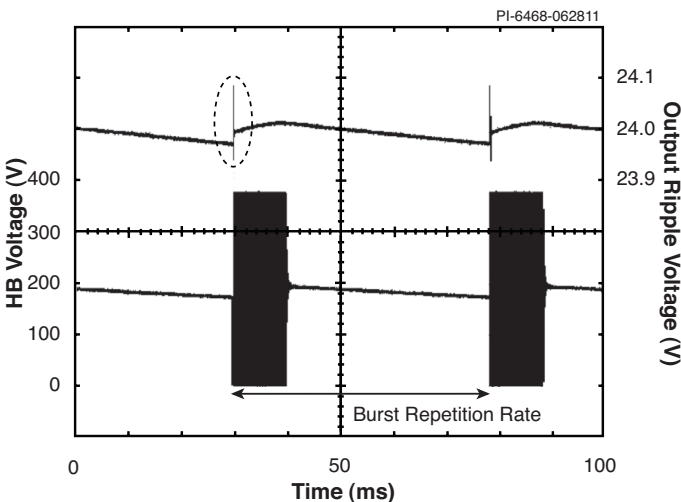


图 24. 脉冲串模式的典型波形。波形来自于使用HiperLCS的24 V/150 W设计的空载工作状态。初始尖峰（圆圈内）取决于二次滤波器中电解电容的ESR。

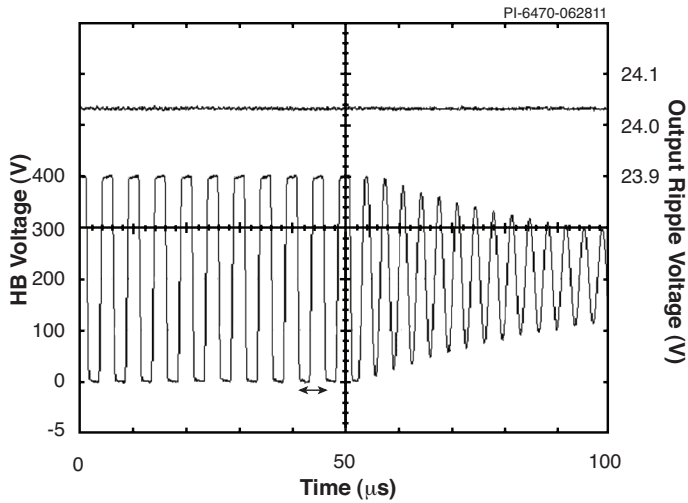


图 26. 图24中突发脉冲串的后几个开关周期的放大显示。后几个周期的开关频率为 f_{STOP} ，在本例中为383 kHz（箭头处）。开关停止后的 V_{HB} 振荡是由初级电感与MOSFET电容共振所产生的。

更高的 f_{START} 会降低触发脉冲串模式的负载阈值，提高输入电压阈值并降低脉冲串模式下的输出纹波。但同时会提高脉冲串重复率，从而在某些输入电压和负载组合时产生音频噪声。 f_{START} 的选择将影响HiperLCS进入和退出脉冲串模式时的强信号瞬态响应。

绝对最大额定值⁽⁶⁾

瞬态可重复的D或HB电流 ⁽⁵⁾	$V_{CC}, V_{CCH} = 11.5 V, T_J = 25 ^\circ C$
LCS700.....	5.2 A
LCS701.....	7.7 A
LCS702.....	10.3 A
LCS703.....	12.9 A
LCS705.....	19.3 A
LCS708.....	30.9 A
瞬态可重复的D或HB引脚电流 ⁽⁵⁾	$V_{CC}, V_{CCH} = 11.5 V, T_J = 125 ^\circ C$
LCS700.....	4.2 A
LCS701.....	6.2 A
LCS702.....	8.3 A
LCS703.....	10.4 A
LCS705.....	15.6 A
LCS708.....	24.9 A
漏极引脚电压D ⁽¹⁾	-1.3 V to 530 V
半桥电压, HB ⁽¹⁾	-1.3 V to D + 0.5 V
半桥电压, 电压斜率, HB.....	10 V/ns
供电引脚电压, VCC ⁽¹⁾ , VCCH ⁽²⁾	-0.3 V到17.5 V
G引脚电压 ⁽¹⁾	-0.3 V到0.3 V
IS引脚电压 ⁽³⁾	-0.65到VREF + 0.3 V
DT/BF和反馈引脚电压 ⁽³⁾	-0.3到VREF + 0.3 V

OV/UV引脚电压 ⁽³⁾	-0.3到VCC + 0.3 V
引脚电流(VREF, OV/UV, DT/BF, FEEDBACK, IS).....	±100 mA
结温度.....	-40 °C到150 °C ⁽⁷⁾
贮存温度.....	-65 °C到150 °C
引线温度 ⁽⁴⁾	260 °C
ESD额定值(JESD22-A114-B, HBM).....	2 kV

注释:

- 以S为参考的电压。
- 以HB为参考的电压。
- 以G为参考的电压。
- 在距壳体1/16英寸处测量, 持续时间5秒。
- 如果 $T_J < 100 ^\circ C$ 且漏极电压 $\leq 400 VDC$, 单个周期内的峰值电流可以在 $t < 460 ns$ 时间内超过可重复的最大允许电流。
- 所有引脚的绝对最大电压额定值为规定值。该值是不得超越的绝对最大条件。介于最大工作条件与该绝对最大额定值条件之间的电压应非常少见且持续时间短暂(如在暂时故障条件下)。这些条件不对产品在达到绝对最大额定值时提供可靠性保证, 但可以作为最大施加电压水平的准线 – 一旦超出该值, 就存在对产品造成即时损坏的风险。
- 绝对最大结温度是指一旦超出该限值就可能会导致器件损坏(潜在或其他形式)的温度。

热阻

结到外壳的热阻^(1,3):

LCS700 (θ_{JC}).....	7.6 °C/W	LCS701 (ΔT_{J-OT}).....	4.0 °C/W
LCS701 (θ_{JC}).....	7.0 °C/W	LCS702 (ΔT_{J-OT}).....	3.5 °C/W
LCS702 (θ_{JC}).....	6.6 °C/W	LCS703 (ΔT_{J-OT}).....	3.2 °C/W
LCS703 (θ_{JC}).....	6.2 °C/W	LCS705 (ΔT_{J-OT}).....	2.8 °C/W
LCS705 (θ_{JC}).....	5.9 °C/W	LCS708 (ΔT_{J-OT}).....	2.5 °C/W
LCS708 (θ_{JC}).....	5.5 °C/W		

结到散热片的热阻^(1,2):

LCS700 (θ_{JH}).....	10.1 °C/W
LCS701 (θ_{JH}).....	9.5 °C/W
LCS702 (θ_{JH}).....	9.1 °C/W
LCS703 (θ_{JH}).....	8.7 °C/W
LCS705 (θ_{JH}).....	8.4 °C/W
LCS708 (θ_{JH}).....	8.0 °C/W

注释:

- 两个功率开关管的功耗各占总功率的一半。
- 安装到一个均匀涂有Thermalloy导热膏的铝质散热片。用夹片安装, 对封装中心施加>30 N的压力。
- 结到外壳的热阻基于结温最高点以及在封装背面测得的外壳温度计算得到。
- 结温最高点与过热传感器之间的温差。

结温最高点至过热检测器的热偏移^(1,2,4):

LCS700 (ΔT_{J-OT}).....	4.6 °C/W
-----------------------------------	----------

参数	符号	条件 源极 = 0 V; $T_J = -40 ^\circ C$ 到 $125 ^\circ C$ ^(D) $V_{CC} = 12 V, V_{CCH} = 12 V$ (除非另有说明)			最小值	典型值	最大值	单位
半桥								
关断状态电流	I_{DSS}	从D到HB引脚或从HB到S引脚测得 $T_J = 100 ^\circ C, V_{CC} = 12 V, V_{CCH} = 12 V, V_D = 424 V$	LCS700			60	μA	
			LCS701			60		
			LCS702			65		
			LCS703			80		
			LCS705			120		
			LCS708			200		
击穿电压	BV_{DSS}	$V_{CC} = 12 V, V_{CCH} = 12 V, 250 \mu A, T_J = 25 ^\circ C$ 从D到HB引脚或从HB到S引脚测得	530				V	

参数	符号	条件 源极 = 0 V; $T_J = -40\text{ }^\circ\text{C}$ 到 $125\text{ }^\circ\text{C}^{(D)}$ $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$ (除非另有说明)		最小值	典型值	最大值	单位	
半桥 (续上)								
击穿电压温度系数	$BV_{DSS(TC)}$	从D到HB引脚或从HB到S引脚测得			0.2		$V/^\circ\text{C}$	
导通电阻	$R_{DS(ON)}$	从D到HB引脚或从HB到S引脚测得 $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$, $T_J = 25\text{ }^\circ\text{C}$	LCS700, $I = 0.8\text{ A}$		1.53	1.82	Ω	
			LCS701, $I = 1.2\text{ A}$		1.00	1.24		
			LCS702, $I = 1.6\text{ A}$		0.74	0.92		
			LCS703, $I = 2.0\text{ A}$		0.60	0.73		
			LCS705, $I = 3.0\text{ A}$		0.40	0.49		
导通电阻	$R_{DS(ON)}$	从D到HB引脚或从HB到S引脚测得 $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$, $T_J = 100\text{ }^\circ\text{C}$	LCS700, $I = 0.8\text{ A}$		2.15	2.63	Ω	
			LCS701, $I = 1.2\text{ A}$		1.42	1.78		
			LCS702, $I = 1.6\text{ A}$		1.05	1.33		
			LCS703, $I = 2.0\text{ A}$		0.85	1.06		
			LCS705, $I = 3.0\text{ A}$		0.58	0.71		
半桥电容	C_{HB}	等效半桥电容容量。 V_{HB} 电压变化从 0 V到400 V, 或从400 V到0 V, 见注释A	LCS700		134		μF	
			LCS701		201			
			LCS702		268			
			LCS703		335			
			LCS705		503			
二极管正向电压	V_{FWD}	从HB到D引脚或从S到HB引脚测得 $T_J = 125\text{ }^\circ\text{C}$	LCS700, $I = 0.8\text{ A}$		1.15		V	
			LCS701, $I = 1.2\text{ A}$		1.15			
			LCS702, $I = 1.6\text{ A}$		1.15			
			LCS703, $I = 2.0\text{ A}$		1.15			
			LCS705, $I = 3.0\text{ A}$		1.15			
供电	V_{CC}	见注释C	LCS700, $I = 0.8\text{ A}$		11.4	12	15	V
			LCS701, $I = 1.2\text{ A}$		11.4	12	15	V
			LCS702, $I = 1.6\text{ A}$		11.4	12	15	V
			LCS703, $I = 2.0\text{ A}$		11.4	12	15	V
			LCS705, $I = 3.0\text{ A}$		11.4	12	15	V
启动电流	$I_{CC(OFF)}$	欠压锁存状态: $V_{CC} = 8\text{ V}$			120	170	μA	
抑制电流	$I_{CC(INHIBIT)}$	$V_{CC} = 12\text{ V}$, $OV/UV < V_{SD(L)}$			450	650	μA	
VCC工作电流	$I_{CC(ON)}$	$V_{CC} = 12\text{ V}$ 时典型值, $V_{CC} = 15\text{ V}$ 时最大值, 在300 kHz、HB断路 和 $V_D = 15\text{ V}$ 下测得	LCS700		2.8	5.2	mA	
			LCS701		3.3	5.8		
			LCS702		3.8	6.5		
			LCS703		4.2	7.1		
			LCS705		5.4	8.8		
VCCH工作电流	$I_{CCH(ON)}$	$V_{CCH} = 12\text{ V}$ 时典型值, $V_{CCH} = 15\text{ V}$ 时最大值, 在300 kHz、HB断路 和 $V_D = 15\text{ V}$ 下测得	LCS700		2.4	4.6	mA	
			LCS701		2.9	5.2		
			LCS702		3.3	5.8		
			LCS703		3.7	6.4		
			LCS705		4.8	7.9		
			LCS708		6.8	10.7		

参数	符号	条件 源极 = 0 V; $T_J = -40\text{ }^\circ\text{C}$ 到 $125\text{ }^\circ\text{C}$ ^(D) $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$ (除非另有说明)	最小值	典型值	最大值	单位
VCCH供电欠电压锁存						
VCC启动阈值	$V_{UVLO(+)}$	器件在 V_{CC} 超过UVLO+时退出UVLO状态, $T_J = 0\text{ to }100\text{ }^\circ\text{C}$	10	10.5	11.4	V
VCC关断阈值	$V_{UVLO(-)}$	器件在 V_{CC} 低于UVLO+时进入UVLO状态, $T_J = 0\text{ to }100\text{ }^\circ\text{C}$	9.1	9.5	10.5	V
VCC启动/关断迟滞	$V_{UVLO(HYST)}$	$T_J = 0\text{ to }100\text{ }^\circ\text{C}$	0.7	1.0	1.2	V
VCCH启动阈值	$V_{UVLO(H+)}$	驱动器在 V_{CCH} 超过UVLOH+时退出UVLO状态	8.2	8.5	8.9	V
VCCH关断阈值	$V_{UVLO(H-)}$	驱动器在 V_{CCH} 低于UVLOH-时进入UVLO状态	7.2	7.5	7.9	V
VCCH启动/关断迟滞	$V_{UVLO(H)HYST}$		0.8	1.0	1.2	V
高压供电欠电压/过压使能						
OV/UV过压关断阈值	$V_{OV(H)}$	过压断定阈值	129	131	133	% of $V_{SD(H)}$
OV/UV过压恢复阈值	$V_{OV(L)}$	过压撤销阈值	124	126	128	% of $V_{SD(H)}$
OV/UV欠压启动阈值	$V_{SD(H)}$	欠压撤销阈值	2.35	2.40	2.45	V
OV/UV欠压关断阈值	$V_{SD(L)}$	欠压断定阈值	77	79	81	% of $V_{SD(H)}$
OV/UV引脚输入电阻	$R_{IN(OVUV)}$	OV/UV引脚到G的电阻 $T_J = 25\text{ }^\circ\text{C}$	4.0	5.0	6.0	M Ω
OV/UV引脚输入电阻 温度系数	$R_{IN(OVUVTC)}$			-0.4		%/ $^\circ\text{C}$
参考						
参考电压	V_{REF}	$I_{REF} = 4\text{ mA}$	3.20	3.40	3.50	V
VREF引脚的电流源能力	I_{REF}				4	mA
V_{REF} 电容	C_{REF}	VREF引脚上要求的外部耦合	1			μF
LLC振荡器						
频率范围	F_{RANGE}		25		1000	kHz
最小频率限值的精确度	$F_{MIN(ACC)}$	$R_{FB} = 37.9\text{ k}\Omega$ 到 V_{REF} , 180 kHz	-5.0		5.0	%
	$F_{MIN(ACL)}$	$R_{FB} = 154\text{ k}\Omega$ 到 V_{REF} , 48 kHz $T_J = 25\text{ }^\circ\text{C}$	-7.5		7.5	
最大频率限值的精确度	$F_{MAX(ACC)}$	$I_{FB} = I_{DT/BF}$, $R_{FMAX} = 12.5\text{ k}\Omega$, $F_{MAX} = 510\text{ kHz}$, $T_J = 0\text{ to }100\text{ }^\circ\text{C}$	-7.5		7.5	%
占空比平衡	D_{LLC}	半桥波形的占空比对称性, $C_{FB} = 4.7\text{ nF}$, $C_{DT/BF} = 4.7\text{ nF}$, 250 kHz 使用建议布局	49		51	%
死区时间 ^B	t_D	$R_{FMAX} = 7\text{ k}\Omega$, $R_{BURST} = 39.6\text{ k}\Omega$		330		ns
DT/BF控制电流范围	$I_{DT/BF}$		30		430	μA

参数	符号	条件	最小值	典型值	最大值	单位
		源极 = 0 V; $T_J = -40\text{ }^\circ\text{C}$ 到 $125\text{ }^\circ\text{C}$ ^(D) $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$ (除非另有说明)				
LLC振荡器 (续上)						
停止LLC开关的 I_{FB} 阈值	I_{STOP1}	针对脉冲串设置BT1退出软启动模式后此阈值适用		52.0		% of $I_{DT/BF}$
	I_{STOP2}	针对脉冲串设置BT2退出软启动模式后此阈值适用		46.0		
	I_{STOP3}	针对脉冲串设置BT3退出软启动模式后此阈值适用		39.0		
I_{FB} 阈值迟滞	$I_{BURST(HYST)}$	I_{START} 是低于 I_{STOP} 的 $I_{BURST(HYST)}$	5	6.8	8	% of $I_{DT/BF}$
对脉冲串设置进行编程的DT/BF电压	V_{BT1}	启动时要求用来使能脉冲串设置BT1的 $V_{DT/BF}$	93.5	95	96.3	% of V_{REF}
	V_{BT2}	启动时要求用来使能脉冲串设置BT2的 $V_{DT/BF}$	88.5	90	91.3	
	V_{BT3}	启动时要求用来使能脉冲串设置BT3的 $V_{DT/BF}$	83.5	85	86.3	
DT/BF上 R_{FMAX} 、 R_{BURST} 与去耦电容的组的时间常数	$RC_{DT/BF}$	此时间常数必须小于规定的最大值以确保正确设置脉冲串模式。			100	μs
FB电流最大值	I_{FB}	决定可由 I_{FB} 设置的最大控制频率。		100		% $I_{DT/BF}$
FB控制电流范围	I_{FB}	I_{FB} 受限于流入DT/BF的电流	15		430	μA
FB虚拟电压	V_{FB}	FB输入表现为 $R_{IN(FB)}$ 与 V_{FB} 串联。 $30\text{ }\mu\text{A} < I_{FB} < I_{DT/BF}$		0.65		V
FB输入电阻	$R_{IN(FB)}$	FB输入表现为 $R_{IN(FB)}$ 与 V_{FB} 串联。 $30\text{ }\mu\text{A} < I_{FB} < I_{DT/BF}$		2.5		k Ω
软启动时的FB输入电阻	$R_{FB(SS)}$	在软启动延迟间隔内或当 $OV/UV < V_{SD}$ 或 $OV/UV > V_{OV}$		750		Ω
过流保护						
快速过流故障电压阈值 ⁴	$V_{IS(F)}$		0.855	0.905	0.955	V
慢速过流故障电压阈值	$V_{IS(S)}$	7 LLC时钟周期去抖动	0.455	0.505	0.555	V
过流故障脉宽	t_{IS}	最小时间 V_{IS} 超过每周期的 $V_{IS(F)}/V_{IS(S)}$ 以触发故障保护		30		ns
过热保护						
过热关断阈值 ^A	T_{OT}			125		$^\circ\text{C}$

注释:

- 由设计保证。
- HB引脚在ZVS谐振条件下的典型视在死区时间。
- 用来实现数据手册功率表中规定的功率能力的VCC/VCCH工作范围。
- 工作情况可能受过热关断的限制。

典型性能特性

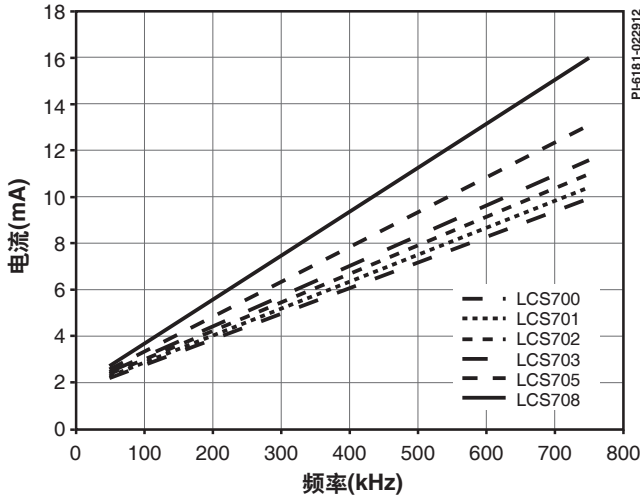


图 27. V_{CC} 电流相对于频率的变化

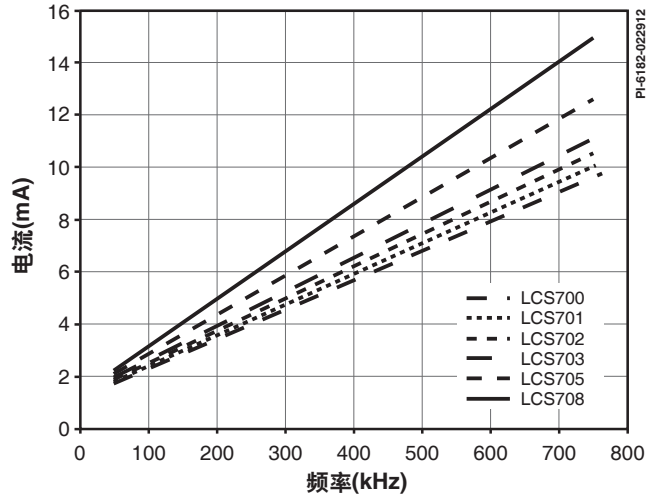


图 28. V_{OCH} 电流相对于频率的变化

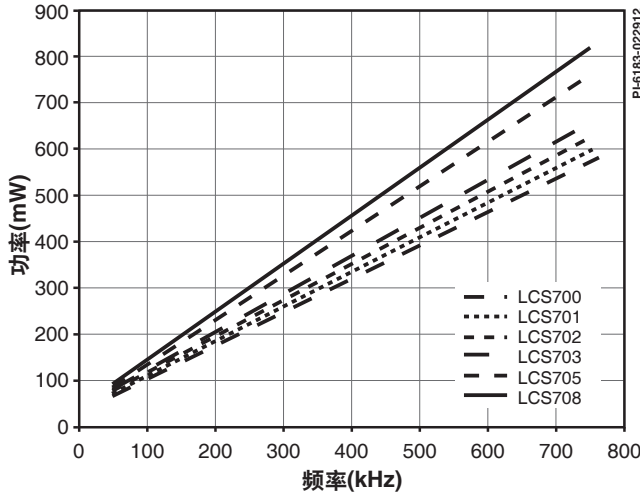


图 29. 控制功率相对于频率的变化

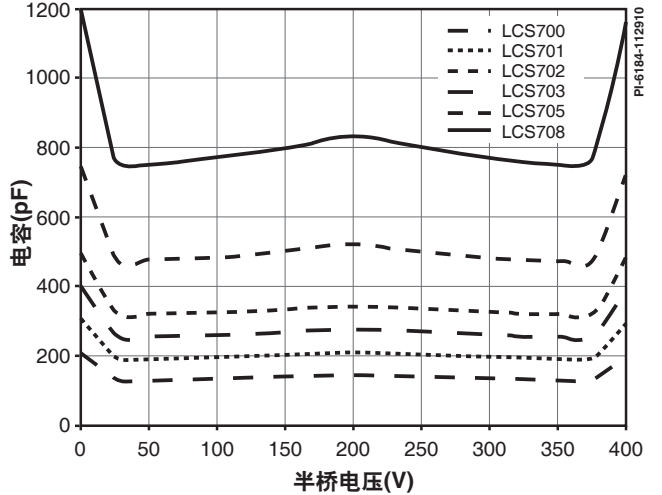


图 30. 半桥弱信号电容相对于半桥电压的变化

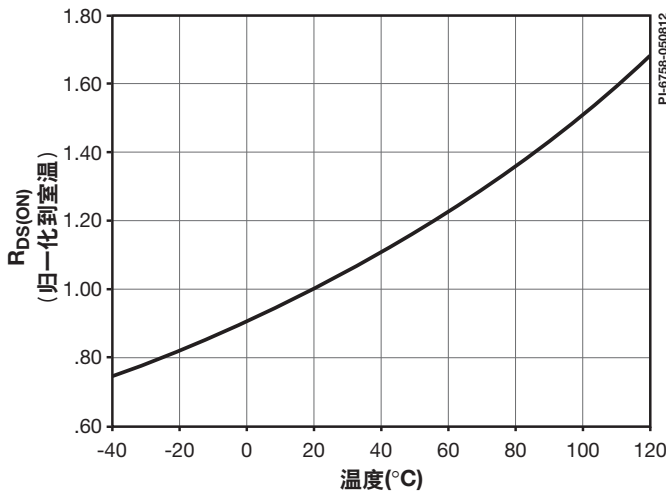


图 31. 归一化 $R_{DS(ON)}$ 相对于温度的变化

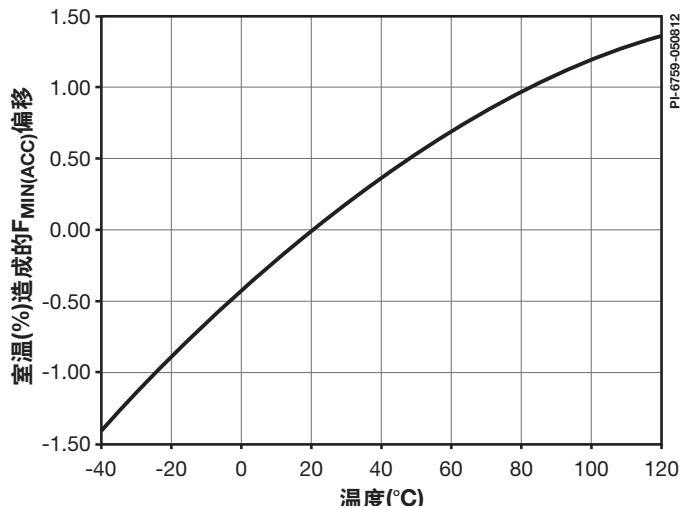


图 32. 典型 $F_{MIN(ACC)}$ 相对于温度的变化

典型性能特性

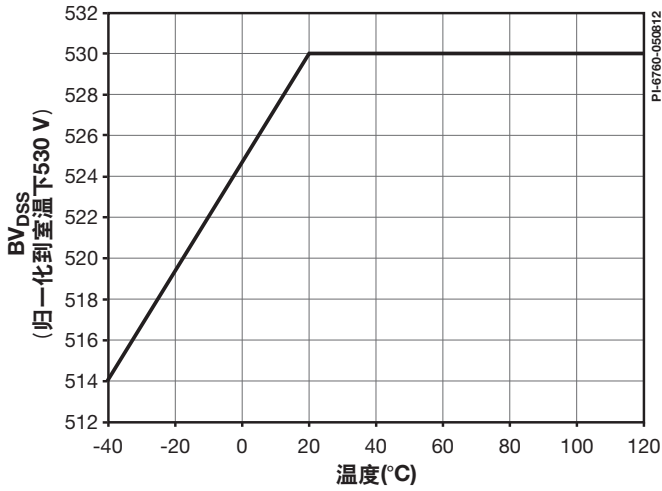


图 33. 归一化 BV_{DSS} 相对于温度的变化

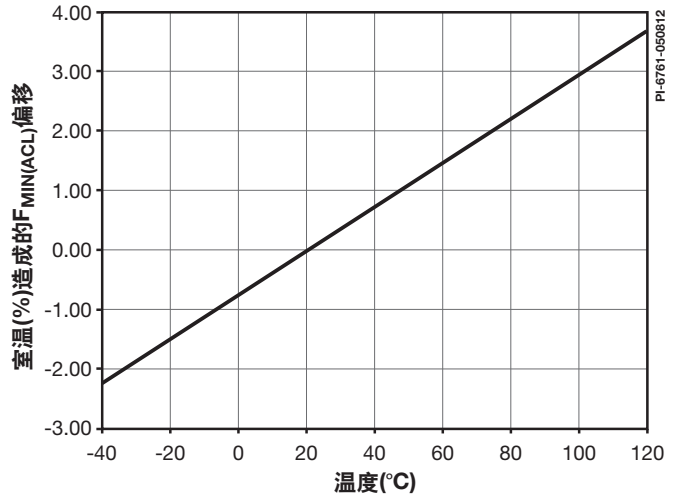


图 34. 典型 $F_{MIN(ACL)}$ 相对于温度的变化

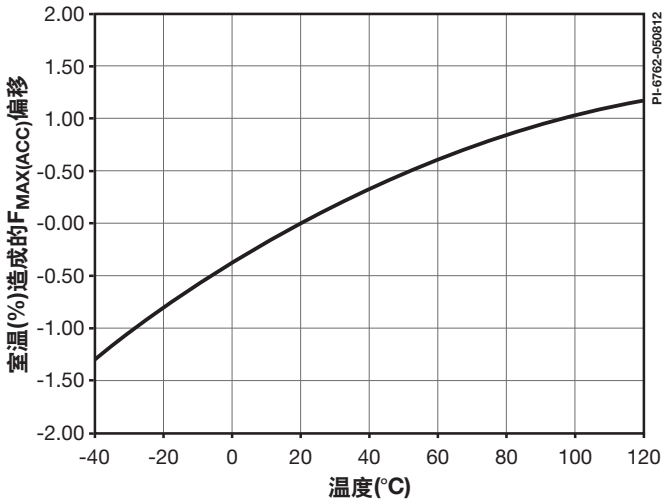


图 35. 典型 $F_{MAX(ACC)}$ 相对于温度的变化

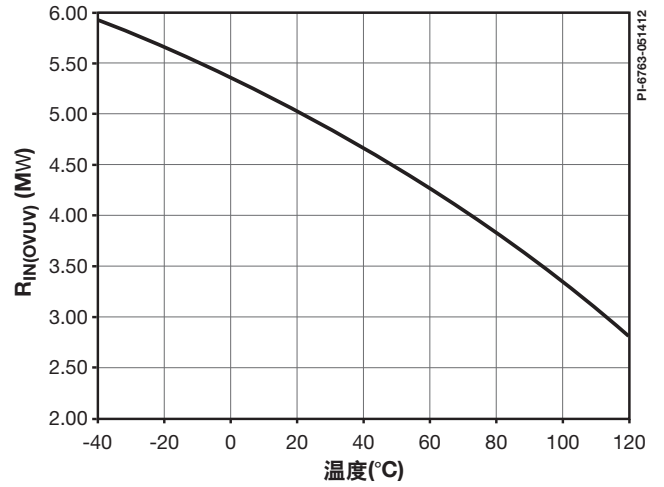


图 36. 典型 $R_{IN(OVUV)}$ 相对于温度的变化

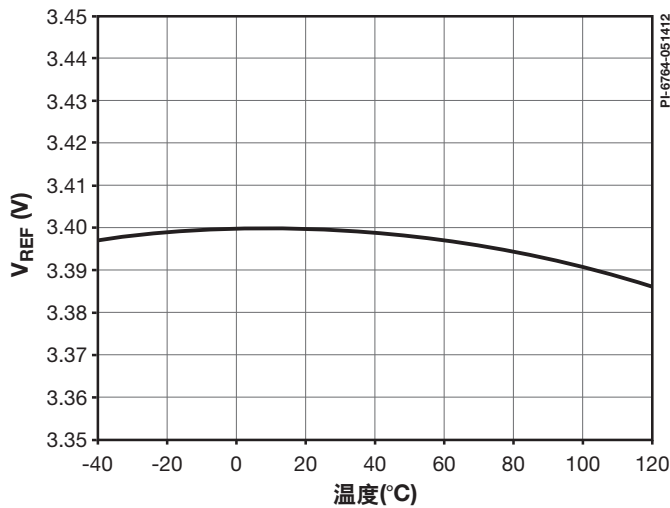


图 37. 典型 V_{REF} 相对于温度的变化

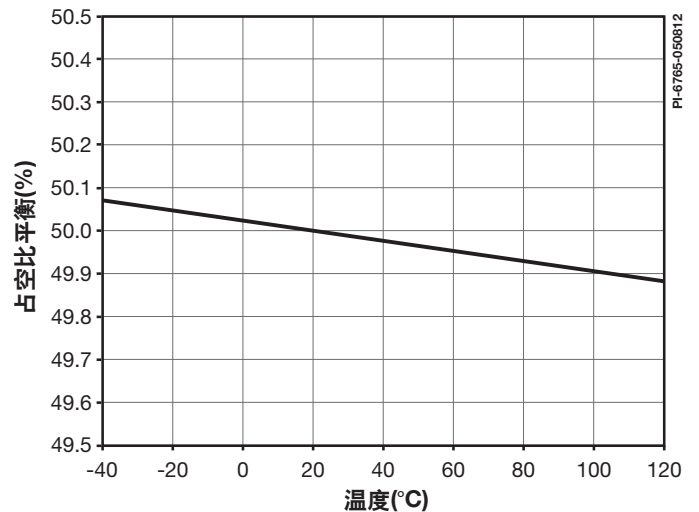


图 38. 典型占空比平衡相对于温度的变化

典型性能特性

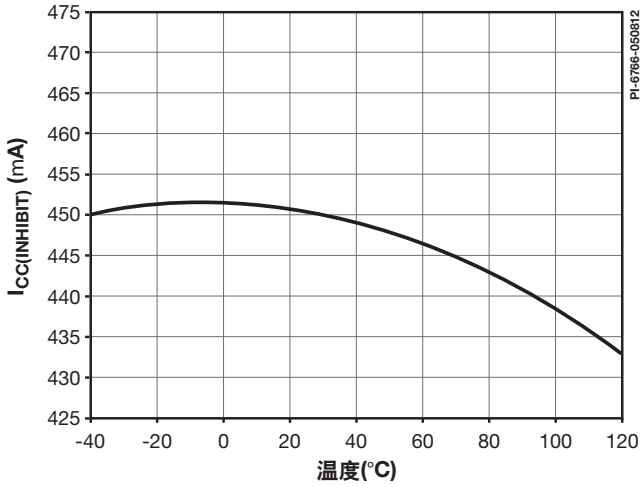


图 39. 典型 $I_{CC(INHIBIT)}$ 相对于温度的变化

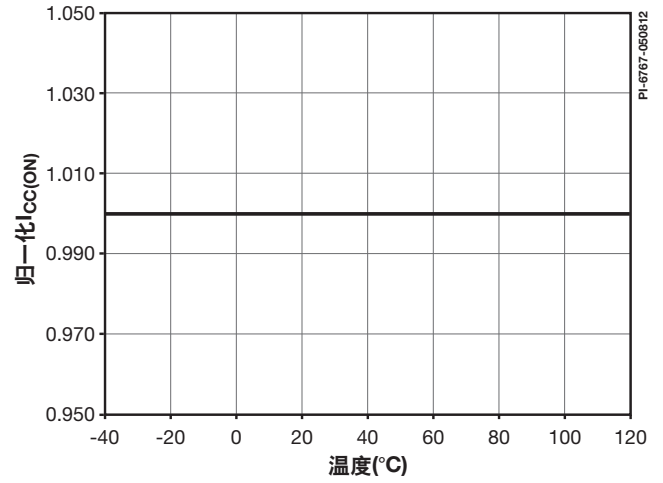


图 40. 归一化 $I_{CC(ON)}$ 相对于温度的变化

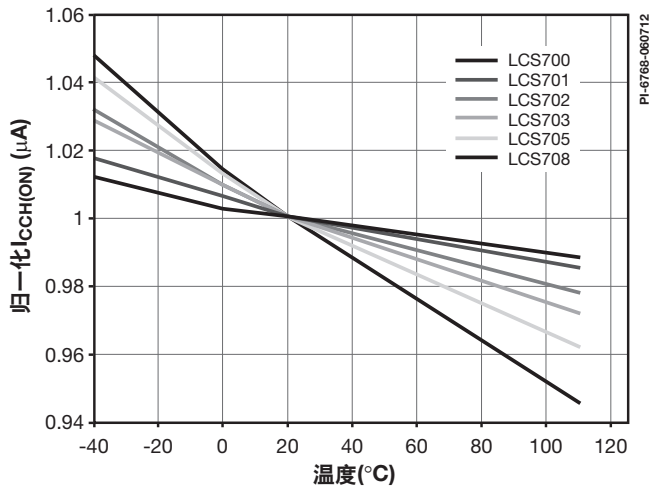


图 41. 归一化 $I_{CC(H)}$ 相对于温度（归一化到室温）的变化

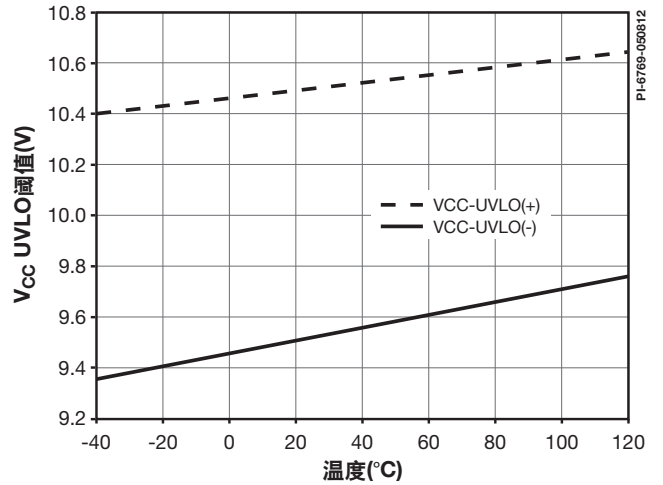


图 42. 典型 V_{CC} UVLO相对于温度的变化

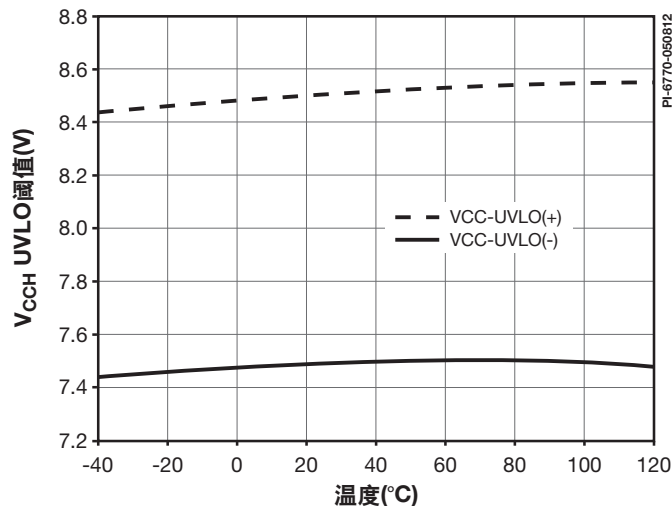
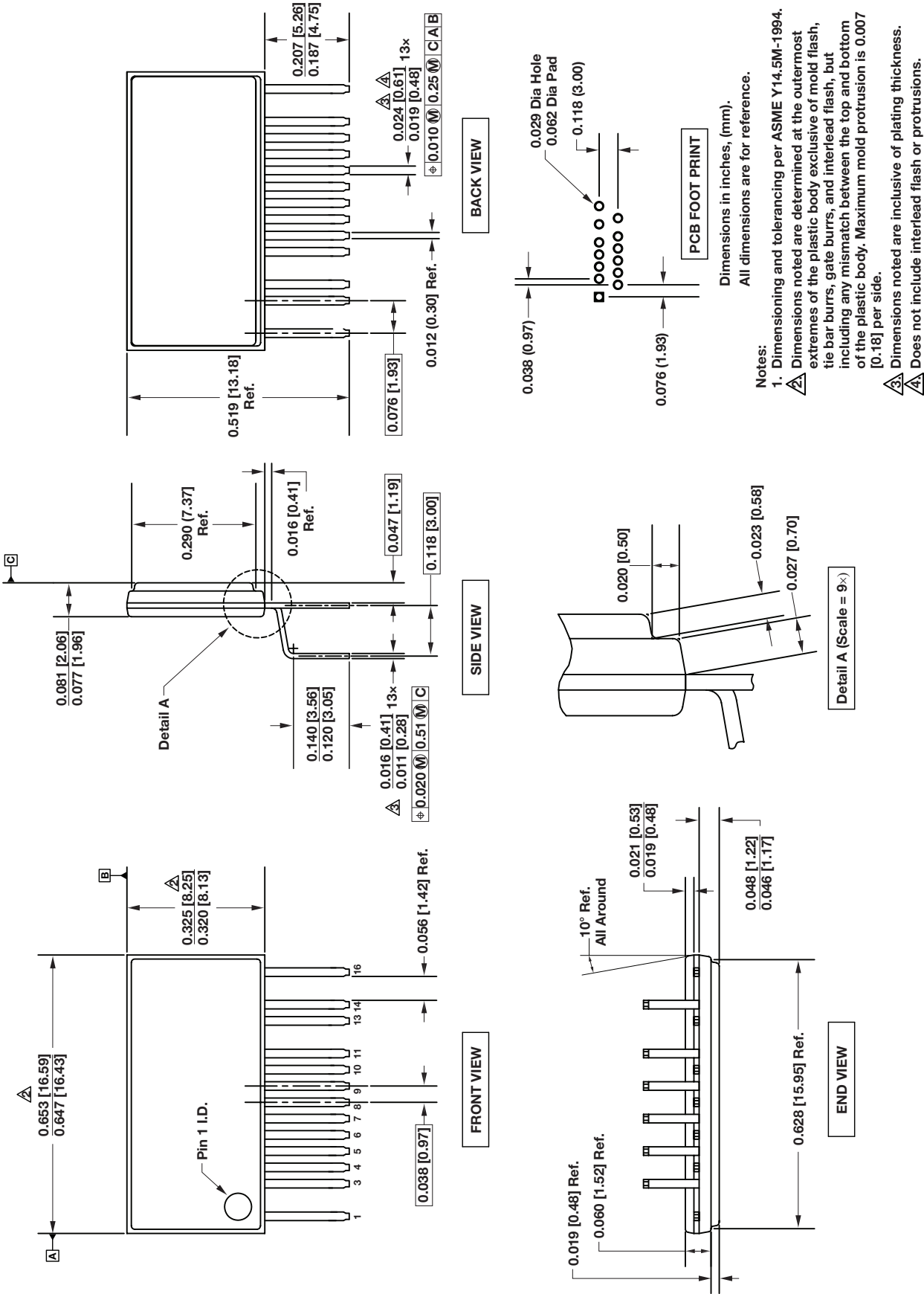


图 43. 典型 V_{CCH} UVLO相对于温度的变化

eSIP-16J (H Package)



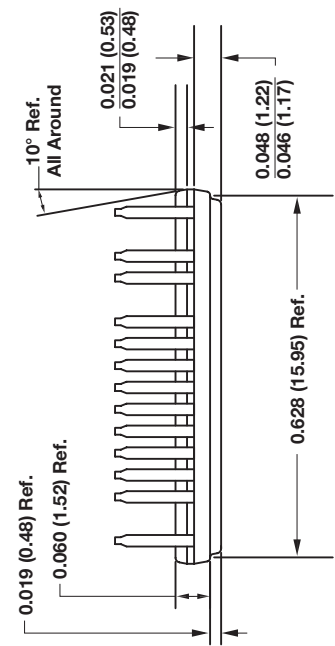
eSIP-16K (L Package)



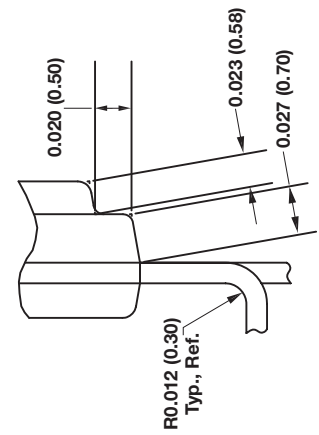
FRONT VIEW

SIDE VIEW

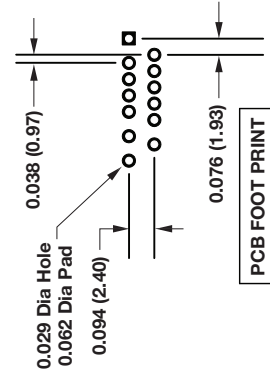
BACK VIEW



END VIEW



Detail A (N.T.S.)



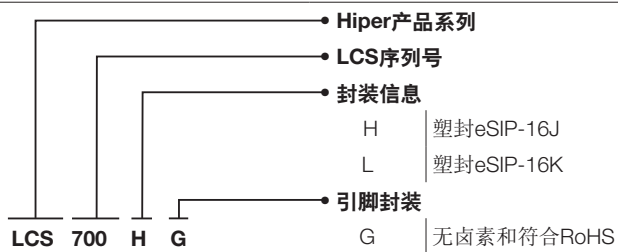
PCB FOOT PRINT

Dimensions in inches, (mm).
All dimensions are for reference.

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M-1994. Dimensions noted are determined at the outermost extremes of the plastic body exclusive of mold flash, tie bar burrs, gate burrs, and interlead flash, but including any mismatch between the top and bottom of the plastic body. Maximum mold protrusion is 0.007 [0.18] per side.
2. Dimensions noted are inclusive of plating thickness.
3. Does not include interlead flash or protrusions.
4. Controlling dimensions in inches (mm).

元件订购信息



修订版本	注释	日期
B	初始版本	06/20/11
C	增加了L型弯曲元件。	02/12
C1	删除了背面金属H封装选项。	06/12
D	未作修订。	
E	压膜成形(Overmold)变化, 宽温变化。	06/12
E	更新了BV _{DSS(TC)} 单位、结温范围并增加了注释7。	08/30/12

了解最新信息, 请访问我们的网站: www.powerint.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.powerint.com. Power Integrations grants its customers a license under certain patent rights as set forth at <http://www.powerint.com/ip.htm>.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

The PI logo, TOPSwitch, TinySwitch, LinkSwitch, LYTSwitch, DPA-Switch, PeakSwitch, CAPZero, SENZero, LinkZero, HiperPFS, HiperTFS, HiperLCS, Qspeed, EcoSmart, Clampless, E-Shield, Filterfuse, StakFET, PI Expert and PI FACTS are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2012, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部
5245 Hellyer Avenue
San Jose, CA 95138, USA.
Main: +1-408-414-9200
Customer Service:
Phone: +1-408-414-9665
Fax: +1-408-414-9765
e-mail: usasales@powerint.com

中国 (上海)
Rm 1601/1610, Tower 1,
Kerry Everbright City
No. 218 Tianmu Road West,
Shanghai, P.R.C. 200070
Phone: +86-21-6354-6323
Fax: +86-21-6354-6325
e-mail: chinasales@powerint.com

中国 (深圳)
3rd Floor, Block A,
Zhongtong International Business
Center, No. 1061, Xiang Mei Rd,
FuTian District, ShenZhen,
China, 518040
Phone: +86-755-8379-3243
Fax: +86-755-8379-5828
e-mail: chinasales@powerint.com

德国
Lindwurmstrasse 114
80337 Munich
Germany
Phone: +49-895-527-39110
Fax: +49-895-527-39200
e-mail: eurosales@powerint.com

印度
#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
Fax: +91-80-4113-8023
e-mail: indiasales@powerint.com

意大利
Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI)
Italy
Phone: +39-024-550-8701
Fax: +39-028-928-6009
e-mail: eurosales@powerint.com

日本
Kosei Dai-3 Bldg.
2-12-11, Shin-Yokomana,
Kohoku-ku
Yokohama-shi Kanagwan
222-0033 Japan
Phone: +81-45-471-1021
Fax: +81-45-471-3717
e-mail: japansales@powerint.com

韩国
RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
Fax: +82-2-2016-6630
e-mail: koreasales@powerint.com

新加坡
51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
Fax: +65-6358-2015
e-mail: singaporesales@powerint.com

台湾
5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
Phone: +886-2-2659-4570
Fax: +886-2-2659-4550
e-mail: taiwansales@powerint.com

欧洲总部
1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
Phone: +44 (0) 1252-730-141
Fax: +44 (0) 1252-727-689
e-mail: eurosales@powerint.com

技术支持热线
World Wide +1-408-414-9660

技术支持传真
World Wide +1-408-414-9760